

CERTIFIED COPY OF
PRIORITY DOCUMENT

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC960 U.S. PTO
09/769065
01/25/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

2000年 2月 1日

出 願 番 号
Application Number:

特願2000-028879

出 願 人
Applicant (s):

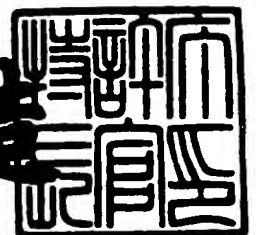
ミノルタ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年12月 8日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 P000201012

【提出日】 平成12年 2月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/14

【発明の名称】 固体撮像装置

【請求項の数】 26

【発明者】

 【住所又は居所】 大阪府中央区安土町二丁目 3 番 1 3 号 大阪国際ビル
ミノルタ株式会社内

 【氏名】 萩原 義雄

【特許出願人】

 【識別番号】 000006079

 【氏名又は名称】 ミノルタ株式会社

【代理人】

 【識別番号】 100085501

 【弁理士】

 【氏名又は名称】 佐野 静夫

【代理人】

 【識別番号】 100111811

 【弁理士】

 【氏名又は名称】 山田 茂樹

【手数料の表示】

 【予納台帳番号】 024969

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1



【包括委任状番号】 9716119

【包括委任状番号】 0000030

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項 1】 入射した光量に応じた電気信号を発生する感光素子と該感光素子に第 1 の電極が電氣的に接続される第 1 のトランジスタを有するとともに該第 1 のトランジスタをサブスレッシュヨルド領域で動作させて前記電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、

前記感光素子と前記第 1 のトランジスタの第 1 の電極との間に設けられた第 1 のスイッチ手段と、

前記第 1 のトランジスタの第 1 の電極に所定の直流電圧を与える第 2 のスイッチ手段と、を有し、

前記第 1 のスイッチ手段を ON にするとともに前記第 2 のスイッチ手段を OFF にして、前記第 1 のトランジスタをサブスレッシュヨルド領域で動作させて撮像を行い、

又、前記第 1 のスイッチ手段を OFF にするとともに前記第 2 のスイッチ手段を ON にして、前記第 1 のトランジスタに撮像時よりも大きい電流が流れ得るようにしてリセットを行うことを特徴とする固体撮像装置。

【請求項 2】 入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、

前記光電変換手段が、

第 1 電極に直流電圧が印加された光電変換素子と、

前記光電変換素子の第 2 電極に一方の接点が接続された第 1 スwitch と、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極と制御電極が前記第 1 スwitch の他方の接点に接続された第 1 のトランジスタと、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極に直流電圧が印加されるとともに制御電極が前記第 1 のトランジスタの第 1 電極及び制御電極に接続され、第 2 電極から電気信号を出力する第 2 のトランジスタと、

前記第 1 のトランジスタの第 1 電極と制御電極に一方の接点が接続されるとともに、他方の接点に直流電圧が印加された第 2 スイッチとを有し、

前記第 1 スイッチを ON にするとともに前記第 2 スイッチを OFF にして、前記第 1 のトランジスタをサブスレッシュホールド領域で動作させることによって、前記各画素に撮像動作を行わせ、

前記第 1 スイッチを OFF にするとともに前記第 2 スイッチを ON にして、前記第 2 スイッチを介して前記第 1 のトランジスタの第 1 電極と制御電極に直流電圧を印加させることによって、前記第 1 のトランジスタに撮像時よりも大きい電流が流れ得るようにして、前記各画素のリセットを行うことを特徴とする固体撮像装置。

【請求項 3】 入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、

前記光電変換手段が、

第 2 電極に直流電圧が印加された光電変換素子と、

前記光電変換素子の第 1 電極に一方の接点が接続された第 1 スイッチと、

第 1 電極と第 2 電極と制御電極とを備え、第 2 電極が前記第 1 スイッチの他方の接点に接続された第 1 のトランジスタと、

第 1 電極と第 2 電極と制御電極とを備え、第 1 電極に直流電圧が印加されるとともに制御電極が前記第 1 のトランジスタの第 2 電極に接続され、第 2 電極から電気信号を出力する第 2 のトランジスタと、

前記第 1 のトランジスタの第 2 電極に一方の接点が接続されるとともに、他方の接点に直流電圧が印加された第 2 スイッチとを有し、

前記第 1 スイッチを ON にするとともに前記第 2 スイッチを OFF にして、前記第 1 のトランジスタをサブスレッシュホールド領域で動作させることによって、前記各画素に撮像動作を行わせ、

前記第 1 スイッチを OFF にするとともに前記第 2 スイッチを ON にして、前記第 2 スイッチを介して前記第 1 のトランジスタの第 2 電極に直流電圧を印加させることによって、前記第 1 のトランジスタに撮像時よりも大きい電流が流れ得

るようにして、前記各画素のリセットを行うことを特徴とする固体撮像装置。

【請求項 4】 前記第 2 スイッチがトランジスタであることを特徴とする請求項 2 又は請求項 3 に記載の固体撮像装置。

【請求項 5】 前記第 2 スイッチが前記第 1 のトランジスタと逆極性のトランジスタであることを特徴とする請求項 2 に記載の固体撮像装置。

【請求項 6】 前記第 1 スイッチがトランジスタであることを特徴とする請求項 2 ～請求項 5 のいずれかに記載の固体撮像装置。

【請求項 7】 前記第 1 スイッチが前記第 1 のトランジスタと逆極性のトランジスタであることを特徴とする請求項 2 又は請求項 5 に記載の固体撮像装置。

【請求項 8】 前記画素が、マトリクス状に配設されることを特徴とする請求項 1 ～請求項 7 のいずれかに記載の固体撮像装置。

【請求項 9】 複数の画素を有する固体撮像装置において、
各画素が、

フォトダイオードと、

該フォトダイオードの一方の電極に第 1 電極が接続された第 1 MOS トランジスタと、

該第 1 MOS トランジスタの第 2 電極に第 1 電極及びゲート電極が接続された第 2 MOS トランジスタと、

前記第 2 MOS トランジスタの第 1 電極及びゲート電極にゲート電極が接続された第 3 MOS トランジスタと、

前記第 2 MOS トランジスタの第 1 電極及びゲート電極に第 1 電極が接続されるとともに、第 2 電極に直流電圧が印加された第 4 MOS トランジスタとを有し

、
前記第 1 MOS トランジスタを ON にするとともに、第 4 MOS トランジスタを OFF にして、前記第 2 MOS トランジスタを閾値以下のサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、

前記第 1 MOS トランジスタを OFF にするとともに、前記第 4 MOS トランジスタを ON にして、前記第 2 MOS トランジスタに撮像時よりも大きい電流が流れ得るようによって前記各画素にリセット動作を行わせることを特

徴とする固体撮像装置。

【請求項 1 0】 前記画素が、第 1 電極が前記第 3 MOS トランジスタの第 2 電極に接続され、第 2 電極が出力信号線に接続され、ゲート電極が行選択線に接続された第 6 MOS トランジスタを有することを特徴とする請求項 9 に記載の固体撮像装置。

【請求項 1 1】 前記画素が、第 1 電極に直流電圧が印加され、ゲート電極が前記第 3 MOS トランジスタの第 2 電極に接続されるとともに、前記第 3 MOS トランジスタの第 2 電極から出力される出力信号を増幅する第 5 MOS トランジスタを有することを特徴とする請求項 9 に記載の固体撮像装置。

【請求項 1 2】 前記画素が、第 1 電極が前記第 5 MOS トランジスタの第 2 電極に接続され、第 2 電極が出力信号線に接続され、ゲート電極が行選択線に接続された第 6 MOS トランジスタを有することを特徴とする請求項 1 1 に記載の固体撮像装置。

【請求項 1 3】 前記画素が、前記第 3 MOS トランジスタの第 2 電極に一端が接続されるとともに、前記第 3 MOS トランジスタの第 1 電極にリセット電圧が与えられたときに前記第 3 MOS トランジスタを介してリセットされるキャパシタを有することを特徴とする請求項 1 1 又は請求項 1 2 に記載の固体撮像装置。

【請求項 1 4】 前記第 3 MOS トランジスタの第 1 電極に直流電圧が印加されるとともに、

前記画素が、

前記第 3 MOS トランジスタの第 2 電極に第 1 電極が接続され第 2 電極に直流電圧が接続された第 7 MOS トランジスタと、

前記第 3 MOS トランジスタの第 2 電極に一端が接続されるとともに、前記第 7 MOS トランジスタのゲート電極にリセット電圧が与えられたときに前記第 7 MOS トランジスタを介してリセットされるキャパシタと、

を有することを特徴とする請求項 1 1 又は請求項 1 2 に記載の固体撮像装置。

【請求項 1 5】 前記第 4 MOS トランジスタがディプレッション型 MOS トランジスタであることを特徴とする請求項 9 ～請求項 1 4 のいずれかに記載の固

体撮像装置。

【請求項 1 6】 前記第 4 MOS トランジスタが前記第 2 MOS トランジスタと逆極性の MOS トランジスタであることを特徴とする請求項 9 ～請求項 1 4 にのいずれかに記載の固体撮像装置。

【請求項 1 7】 前記第 1 MOS トランジスタがディプレッション型 MOS トランジスタであることを特徴とする請求項 9 ～請求項 1 6 のいずれかに記載の固体撮像装置。

【請求項 1 8】 前記第 1 MOS トランジスタが前記第 2 MOS トランジスタと逆極性の MOS トランジスタであることを特徴とする請求項 9 ～請求項 1 6 にのいずれかに記載の固体撮像装置。

【請求項 1 9】 複数の画素を有する固体撮像装置において、
各画素が、
フォトダイオードと、
該フォトダイオードの一方の電極に第 2 電極が接続された第 1 MOS トランジスタと、
該第 1 MOS トランジスタの第 1 電極に第 2 電極が接続された第 2 MOS トランジスタと、
前記第 2 MOS トランジスタの第 2 電極にゲート電極が接続された第 3 MOS トランジスタと、
前記第 2 MOS トランジスタの第 2 電極に第 1 電極が接続されるとともに、第 2 電極に直流電圧が印加された第 4 MOS トランジスタとを有し、
前記第 1 MOS トランジスタを ON にするとともに、第 4 MOS トランジスタを OFF にして、前記第 2 MOS トランジスタを閾値以下のサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、
前記第 1 MOS トランジスタを OFF にするとともに、前記第 4 MOS トランジスタを ON にして、前記第 2 MOS トランジスタに撮像時よりも大きい電流が流れ得るようにすることによって前記各画素にリセット動作を行わせることを特徴とする固体撮像装置。

【請求項 2 0】 前記画素が、第 1 電極が前記第 3 MOS トランジスタの第 2

電極に接続され、第 2 電極が出力信号線に接続され、ゲート電極が行選択線に接続された第 6 MOS トランジスタを有することを特徴とする請求項 1 9 に記載の固体撮像装置。

【請求項 2 1】 前記画素が、第 1 電極が直流電圧に接続され、ゲート電極が前記第 3 MOS トランジスタの第 2 電極に接続されるとともに、前記第 3 MOS トランジスタの第 2 電極から出力される出力信号を増幅する第 5 MOS トランジスタを有することを特徴とする請求項 1 9 に記載の固体撮像装置。

【請求項 2 2】 前記画素が、第 1 電極が前記第 5 MOS トランジスタの第 2 電極に接続され、第 2 電極が出力信号線に接続され、ゲート電極が行選択線に接続された第 6 MOS トランジスタを有することを特徴とする請求項 2 1 に記載の固体撮像装置。

【請求項 2 3】 前記画素が、前記第 3 MOS トランジスタの第 2 電極に一端が接続され他端が直流電圧に接続されるとともに、前記第 3 MOS トランジスタの第 1 電極にリセット電圧が与えられたときに前記第 3 MOS トランジスタを介してリセットされるキャパシタを有することを特徴とする請求項 2 1 又は請求項 2 2 に記載の固体撮像装置。

【請求項 2 4】 前記第 3 MOS トランジスタが前記第 1 及び第 2 MOS トランジスタと逆の極性の MOS トランジスタであることを特徴とする請求項 2 3 に記載の固体撮像装置。

【請求項 2 5】 前記第 3 MOS トランジスタの第 1 電極が直流電圧に接続されるとともに、

前記画素が、

前記第 3 MOS トランジスタの第 2 電極に第 1 電極が接続され第 2 電極に直流電圧が接続された第 7 MOS トランジスタと、

前記第 3 MOS トランジスタの第 2 電極に一端が接続され他端が直流電圧に接続されるとともに、前記第 7 MOS トランジスタのゲート電極にリセット電圧が与えられたときに前記第 7 MOS トランジスタを介してリセットされるキャパシタと、

を有することを特徴とする請求項 2 1 又は請求項 2 2 に記載の固体撮像装置。

【請求項 2 6】 前記第 3 及び第 7 MOS トランジスタが前記第 1 及び第 2 MOS トランジスタと逆の極性の MOS トランジスタであることを特徴とする請求項 2 5 に記載の固体撮像装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は固体撮像装置に関するものであり、特に複数の画素を備えた固体撮像装置に関する。

【 0 0 0 2 】

【従来の技術】

固体撮像装置は、小型、軽量で低消費電力であるのみならず、画像歪や焼き付きが無く、振動や磁界などの環境条件に強い。又、LSI (Large Scale Integrated circuit) と共通の工程又は類似の工程で製造できるので、信頼性が高く、量産にも適している。このため、ライン状に画素が配された固体撮像装置がファクシミリやフラットベッドスキャナに、マトリクス状に画素が配された固体撮像装置がビデオカメラやデジタルカメラなどに幅広く使用されている。ところで、このような固体撮像装置は光電変換素子で発生した光電荷を読み出す（取り出す）手段によって CCD 型と MOS 型に大きく分けられる。CCD 型は光電荷をポテンシャルの井戸に蓄積しつつ、転送するようになっており、ダイナミックレンジが狭いという欠点がある。一方、MOS 型はフォトダイオードの p n 接合容量に蓄積した電荷を MOS トランジスタを通して読み出すようになっている。

【 0 0 0 3 】

ここで、従来の MOS 型固体撮像装置の 1 画素当りの構成を図 3 4 に示し説明する。同図において、PD はフォトダイオードであり、そのカソードが MOS トランジスタ T 1 のゲートと MOS トランジスタ T 2 のソースに接続されている。MOS トランジスタ T 1 のソースは MOS トランジスタ T 3 のドレインに接続され、MOS トランジスタ T 3 のソースは出力信号線 V_{out} へ接続されている。また MOS トランジスタ T 1 のドレインと MOS トランジスタ T 2 のドレインには直流電圧 V_{PD} が印加され、フォトダイオードのアノードには直流電圧 V_{PS} が印加

されている。

【 0 0 0 4 】

フォトダイオードPDに光が入射すると、光電荷が発生し、その電荷はMOSトランジスタT1のゲートに蓄積される。ここで、MOSトランジスタT3のゲートにパルス ϕV を与えてMOSトランジスタT3をONすると、MOSトランジスタT1のゲートの電荷に比例した電流がMOSトランジスタT1、T3を流れて出力信号線V_{out}へ導出される。このようにして入射光量に比例した出力電流を読み出すことができる。信号読み出し後はMOSトランジスタT3をOFFにするとともに、MOSトランジスタT2のゲートに信号 ϕRS を与えてMOSトランジスタT2をONすることでMOSトランジスタT1のゲート電圧を初期化させることができる。

【 0 0 0 5 】

【発明が解決しようとする課題】

このように、従来のMOS型の固体撮像装置は各画素においてフォトダイオードで発生しMOSトランジスタのゲートに蓄積された光電荷をそのまま読み出すものであったからダイナミックレンジが狭く、そのため露光量を精密に制御しなければならず、しかも露光量を精密に制御しても暗い部分が黒くつぶれたり、明るい部分が飽和したりしていた。一方、本出願人は、入射した光量に応じた光電流を発生しうる感光手段と、光電流を入力するMOSトランジスタと、このMOSトランジスタをサブスレッショルド電流が流れうる状態にバイアスするバイアス手段とを備え、光電流を対数変換するようにした固体撮像装置を提案した（特開平3-192764号公報参照）。このような固体撮像装置は、広いダイナミックレンジを有しているものの、画素毎に設けられたMOSトランジスタの閾値特性が異なることがあり、画素毎に感度が異なる場合がある。よって、予め輝度が一樣な明るい光（一樣光）を照射することによって得られた出力を、被写体の撮像時の各画素の出力を補正する補正データとして保持するなどの対策が必要がある。

【 0 0 0 6 】

しかしながら、操作者が外部光源を用いて各画素を照射するのは煩雑であった

り、又、うまく一様に露光できないなどの問題がある。又、一様光の照射機構を撮像装置に設けると撮像装置の構成が煩雑になるという問題があった。そこで本発明者らは、このような問題点を解決すべく、予め一様光を照射することなく各画素の感度バラツキをうち消すことができる回路構成について種々検討を行っている。本発明はこのような点に鑑みなされたものであって、予め一様光を照射することなく、被写体の撮像時における各画素の出力を補正する補正データを正確に得ることができる固体撮像装置を提供することを目的とする。又、本発明の他の目的は、各画素の初期状態をほぼ同一の状態とする事によって、各画素の感度のバラツキを抑制した固体撮像装置を提供することである。

【 0 0 0 7 】

【課題を解決するための手段】

上記の目的を達成するため請求項 1 に記載の固体撮像装置は、入射した光量に応じた電気信号を発生する感光素子と該感光素子に第 1 の電極が電氣的に接続される第 1 のトランジスタを有するとともに該第 1 のトランジスタをサブスレッシュヨルド領域で動作させて前記電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記感光素子と前記第 1 のトランジスタの第 1 の電極との間に設けられた第 1 のスイッチ手段と、前記第 1 のトランジスタの第 1 の電極に所定の直流電圧を与える第 2 のスイッチ手段と、を有し、前記第 1 のスイッチ手段を ON にするとともに前記第 2 のスイッチ手段を OFF にして、前記第 1 のトランジスタをサブスレッシュヨルド領域で動作させて撮像を行い、又、前記第 1 のスイッチ手段を OFF にするとともに前記第 2 のスイッチ手段を ON にして、前記第 1 のトランジスタに撮像時よりも大きい電流が流れ得るようにしてリセットを行うことを特徴とする。

【 0 0 0 8 】

このような固体撮像装置は、例えば、ビデオムービーなどの撮像装置のように撮像動作とリセット動作を繰り返し行うことで、動画を撮像する場合、感光素子に光が入射された状態でも、第 1 のスイッチ手段を OFF にすることによって、感光素子からの電気出力の影響がカットされ、光電変換手段を正確にリセット

することができる。又、第 1 のトランジスタに撮像時よりも大きい電流が流れ得るようにしてリセットを行うことによって各画素が同じ初期状態となり、各画素の感度バラツキを抑制することができる。

【 0 0 0 9 】

請求項 2 に記載の固体撮像装置は、入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記光電変換手段が、第 1 電極に直流電圧が印加された光電変換素子と、前記光電変換素子の第 2 電極に一方の接点が接続された第 1 スイッチと、第 1 電極と第 2 電極と制御電極とを備え、第 1 電極と制御電極が前記第 1 スイッチの他方の接点に接続された第 1 のトランジスタと、第 1 電極と第 2 電極と制御電極とを備え、第 1 電極に直流電圧が印加されるとともに制御電極が前記第 1 のトランジスタの第 1 電極に接続され、第 2 電極から電気信号を出力する第 2 のトランジスタと、前記第 1 のトランジスタの第 1 電極と制御電極に一方の接点が接続されるとともに、他方の接点に直流電圧が印加された第 2 スイッチとを有し、前記第 1 スイッチを ON にするとともに前記第 2 スイッチを OFF にして、前記第 1 のトランジスタをサブスレッショルド領域で動作させることによって、前記各画素に撮像動作を行わせ、前記第 1 スイッチを OFF にするとともに前記第 2 スイッチを ON にして、前記第 2 スイッチを介して前記第 1 のトランジスタの第 1 電極と制御電極に直流電圧を印加させることによって、前記第 1 のトランジスタに撮像時よりも大きい電流が流れ得るようにして、前記各画素のリセットを行うことを特徴とする。

【 0 0 1 0 】

このような固体撮像装置において、各画素をリセットしたときの出力を補正データとして読み出し、各画素が撮像動作をしたときの出力をこの補正データで補正することによって、各画素の感度のバラツキによる影響を低減させることができる。又、請求項 4 に記載するように、前記第 2 スイッチをトランジスタとしても構わない。更に、この前記第 2 スイッチを構成するトランジスタが、請求項 5 に記載するように、前記第 1 のトランジスタと逆極性のトランジスタとしても構

わない。又、請求項 6 に記載するように、前記第 1 スイッチをトランジスタとしても構わない。更に、この前記第 1 スイッチを構成するトランジスタが、請求項 7 に記載するように、前記第 1 のトランジスタと逆極性のトランジスタとしても構わない。

【 0 0 1 1 】

請求項 3 に記載の固体撮像装置は、入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記光電変換手段が、第 2 電極に直流電圧が印加された光電変換素子と、前記光電変換素子の第 1 電極に一方の接点が接続された第 1 スイッチと、第 1 電極と第 2 電極と制御電極とを備え、第 2 電極が前記第 1 スイッチの他方の接点に接続された第 1 のトランジスタと、第 1 電極と第 2 電極と制御電極とを備え、第 1 電極に直流電圧が印加されるとともに制御電極が前記第 1 のトランジスタの第 2 電極に接続され、第 2 電極から電気信号を出力する第 2 のトランジスタと、前記第 1 のトランジスタの第 2 電極に一方の接点が接続されるとともに、他方の接点に直流電圧が印加された第 2 スイッチとを有し、前記第 1 スイッチを ON にするとともに前記第 2 スイッチを OFF にして、前記第 1 のトランジスタをサブスレッショルド領域で動作させることによって、前記各画素に撮像動作を行わせ、前記第 1 スイッチを OFF にするとともに前記第 2 スイッチを ON にして、前記第 2 スイッチを介して前記第 1 のトランジスタの第 2 電極に直流電圧を印加させることによって、前記第 1 のトランジスタに撮像時よりも大きい電流が流れ得るようにして、前記各画素のリセットを行うことを特徴とする。

【 0 0 1 2 】

このような固体撮像装置において、各画素をリセットしたときの出力を補正データとして読み出し、各画素が撮像動作をしたときの出力をこの補正データで補正することによって、各画素の感度のバラツキによる影響を低減させることができる。又、請求項 4 に記載するように、前記第 2 スイッチをトランジスタとしても構わない。更に、請求項 6 に記載するように、前記第 1 スイッチをトランジスタとしても構わない。

【 0 0 1 3 】

請求項 8 に記載の固体撮像装置は、請求項 1 ～請求項 7 のいずれかに記載の固体撮像装置において、前記画素がマトリクス状に配設されることを特徴とする。

【 0 0 1 4 】

請求項 9 に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、各画素が、フォトダイオードと、該フォトダイオードの一方の電極に第 1 電極が接続された第 1 MOS トランジスタと、該第 1 MOS トランジスタの第 2 電極に第 1 電極及びゲート電極が接続された第 2 MOS トランジスタと、前記第 2 MOS トランジスタの第 1 電極及びゲート電極にゲート電極が接続された第 3 MOS トランジスタと、前記第 2 MOS トランジスタの第 1 電極及びゲート電極に第 1 電極が接続されるとともに、第 2 電極に直流電圧が印加された第 4 MOS トランジスタとを有し、前記第 1 MOS トランジスタを ON にするとともに、第 4 MOS トランジスタを OFF にして、前記第 2 MOS トランジスタを閾値以下のサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、前記第 1 MOS トランジスタを OFF にするとともに、前記第 4 MOS トランジスタを ON にして、前記第 2 MOS トランジスタに撮像時よりも大きい電流が流れ得るようにすることによって前記各画素にリセット動作を行わせることを特徴とする。

【 0 0 1 5 】

このような固体撮像装置において、請求項 1 0 に記載するように、前記画素に、第 1 電極が前記第 3 MOS トランジスタの第 2 電極に接続され、第 2 電極が出力信号線に接続され、ゲート電極が行選択線に接続された第 6 MOS トランジスタを設けても良い。

【 0 0 1 6 】

又、請求項 1 1 に記載の固体撮像装置のように、前記画素に、第 1 電極に直流電圧が印加され、ゲート電極が前記第 3 MOS トランジスタの第 2 電極に接続されるとともに、前記第 3 MOS トランジスタの第 2 電極から出力される出力信号を増幅する第 5 MOS トランジスタを設けても良い。更に、この請求項 1 1 に記載の固体撮像装置において、請求項 1 2 に記載するように、第 1 電極が前記第 5 MOS トランジスタの第 2 電極に接続され、第 2 電極が出力信号線に接続され、

ゲート電極が行選択線に接続された第6MOSトランジスタを設けても良い。

【0017】

又、請求項11又は請求項12に記載の固体撮像装置において、請求項13に記載するように、前記画素に、前記第3MOSトランジスタの第2電極に一端が接続され他端が直流電圧に接続されるとともに、前記第3MOSトランジスタの第1電極にリセット電圧が与えられたときに前記第3MOSトランジスタを介してリセットされるキャパシタを設けても良い。このような構成にすることによって、画素から出力される信号が、一旦キャパシタで積分された信号となるので、光源の変動成分や高周波のノイズがキャパシタで吸収されて除去される。更に、前記第3MOSトランジスタの第1電極にリセット電圧を与えることによって、前記第3MOSトランジスタを介してキャパシタ内の電荷が放出されてリセットされる。

【0018】

又、請求項14に記載するように、前記画素において、前記第3MOSトランジスタの第1電極が直流電圧に接続されるとともに、前記画素が、前記第3MOSトランジスタの第2電極に第1電極が接続され第2電極に直流電圧が接続された第7MOSトランジスタと、前記第3MOSトランジスタの第2電極に一端が接続され他端が直流電圧に接続されるとともに、前記第7MOSトランジスタのゲート電極にリセット電圧が与えられたときに前記第7MOSトランジスタを介してリセットされるキャパシタと、を設けても構わない。このような構成にすることによって、画素から出力される信号が、一旦キャパシタで積分された信号となるので、光源の変動成分や高周波のノイズがキャパシタで吸収されて除去される。更に、前記第7MOSトランジスタのゲート電極にリセット電圧を与えることによって、前記第7MOSトランジスタを介してキャパシタ内の電荷が放出されてリセットされる。

【0019】

上記のような固体撮像装置において、前記第4MOSトランジスタを、請求項15に記載するように、ディプレッション型MOSトランジスタに、又は、請求項16に記載するように、前記第2MOSトランジスタと逆極性のMOSトラン

ジスタにすることによって、第4 MOS トランジスタを動作させるための電源を他のスイッチング素子として働く MOS トランジスタを動作させるための電源と共通の電源にすることが可能となる。

【 0 0 2 0 】

前記第1 MOS トランジスタを、請求項17に記載するように、ディプレッション型 MOS トランジスタに、又は、請求項18に記載するように、前記第2 MOS トランジスタと逆極性の MOS トランジスタにすることによって、第1 MOS トランジスタを動作させるための電源を他のスイッチング素子として働く MOS トランジスタを動作させるための電源と共通の電源にすることが可能となる。

【 0 0 2 1 】

請求項19に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、各画素が、フォトダイオードと、該フォトダイオードの一方の電極に第2電極が接続された第1 MOS トランジスタと、該第1 MOS トランジスタの第1電極に第2電極が接続された第2 MOS トランジスタと、前記第2 MOS トランジスタの第2電極にゲート電極が接続された第3 MOS トランジスタと、前記第2 MOS トランジスタの第2電極に第1電極が接続されるとともに、第2電極に直流電圧が印加された第4 MOS トランジスタとを有し、前記第1 MOS トランジスタを ON にするとともに、第4 MOS トランジスタを OFF にして、前記第2 MOS トランジスタを閾値以下のサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、前記第1 MOS トランジスタを OFF にするとともに、前記第4 MOS トランジスタを ON にして、前記第2 MOS トランジスタに撮像時よりも大きい電流が流れ得るようにすることによって前記各画素にリセット動作を行わせることを特徴とする。

【 0 0 2 2 】

請求項19に記載の固体撮像装置において、請求項20に記載するように、前記画素に、第1電極が前記第3 MOS トランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第6 MOS トランジスタを設けても構わない。

【 0 0 2 3 】

又、請求項 2 1 に記載するように、前記画素に、前記画素が、第 1 電極が直流電圧に接続され、ゲート電極が前記第 3 MOS トランジスタの第 2 電極に接続されるとともに、前記第 3 MOS トランジスタの第 2 電極から出力される出力信号を増幅する第 5 MOS トランジスタ設けた構成としても構わない。又、このような構成の固体撮像装置において、請求項 2 2 に記載するように、前記画素に、第 1 電極が前記第 5 MOS トランジスタの第 2 電極に接続され、第 2 電極が出力信号線に接続され、ゲート電極が行選択線に接続された第 6 MOS トランジスタを設けても構わない。

【 0 0 2 4 】

又、請求項 2 1 又は請求項 2 2 に記載の固体撮像装置において、請求項 2 3 に記載するように、前記画素に、前記第 3 MOS トランジスタの第 2 電極に一端が接続され他端が直流電圧に接続されるとともに、前記第 3 MOS トランジスタの第 1 電極にリセット電圧が与えられたときに前記第 3 MOS トランジスタを介してリセットされるキャパシタを設けても良い。このような構成にすることによって、画素から出力される信号が、一旦キャパシタで積分された信号となるので、光源の変動成分や高周波のノイズがキャパシタで吸収されて除去される。更に、前記第 3 MOS トランジスタの第 1 電極にリセット電圧を与えることによって、前記第 3 MOS トランジスタを介してキャパシタ内の電荷が放出されてリセットされる。

【 0 0 2 5 】

このような構成の固体撮像装置において、請求項 2 4 に記載するように、前記第 3 MOS トランジスタが前記第 1 及び第 2 MOS トランジスタと逆の極性の MOS トランジスタとしても構わない。

【 0 0 2 6 】

又、請求項 2 5 に記載するように、前記画素において、前記第 3 MOS トランジスタの第 1 電極が直流電圧に接続されるとともに、前記画素が、前記第 3 MOS トランジスタの第 2 電極に第 1 電極が接続され第 2 電極に直流電圧が接続された第 7 MOS トランジスタと、前記第 3 MOS トランジスタの第 2 電極に一端が接続され他端が直流電圧に接続されるとともに、前記第 7 MOS トランジスタの

ゲート電極にリセット電圧が与えられたときに前記第7MOSトランジスタを介してリセットされるキャパシタと、を設けても構わない。このような構成にすることによって、画素から出力される信号が、一旦キャパシタで積分された信号となるので、光源の変動成分や高周波のノイズがキャパシタで吸収されて除去される。更に、前記第7MOSトランジスタのゲート電極にリセット電圧を与えることによって、前記第7MOSトランジスタを介してキャパシタ内の電荷が放出されてリセットされる。

【0027】

このような構成の固体撮像装置において、請求項26に記載するように、前記第3及び第7MOSトランジスタを前記第1及び第2MOSトランジスタと逆の極性のMOSトランジスタとしても構わない。

【0028】

【発明の実施の形態】

＜画素構成の第1例＞

以下、本発明の固体撮像装置の各実施形態を図面を参照して説明する。図1は本発明の一実施形態である二次元のMOS型固体撮像装置の一部の構成を概略的に示している。同図において、 $G_{11} \sim G_{mn}$ は行列配置（マトリクス配置）された画素を示している。2は垂直走査回路であり、行（ライン）4-1、4-2、 \dots 、4-nを順次走査していく。3は水平走査回路であり、画素から出力信号線6-1、6-2、 \dots 、6-mに導出された光電変換信号を画素ごとに水平方向に順次読み出す。5は電源ラインである。各画素に対し、上記ライン4-1、4-2 \dots 、4-nや出力信号線6-1、6-2 \dots 、6-m、電源ライン5だけでなく、他のライン（例えば、クロックラインやバイアス供給ライン等）も接続されるが、図1ではこれらについて省略する。

【0029】

出力信号線6-1、6-2、 \dots 、6-mごとにNチャネルのMOSトランジスタQ2が図示の如く1つずつ設けられている。MOSトランジスタQ2のドレインは出力信号線6-1に接続され、ソースは最終的な信号線9に接続され、ゲートは水平走査回路3に接続されている。尚、後述するように各画素内にはス

イッチ用のNチャネルの第4 MOS トランジスタ T 4 も設けられている。ここで、MOS トランジスタ T 4 は行の選択を行うものであり、MOS トランジスタ Q 2 は列の選択を行うものである。

【 0 0 3 0 】

< 第 1 の実施形態 >

図 1 に示した画素構成の第 1 例の各画素に適用される第 1 の実施形態について、図面を参照して説明する。

【 0 0 3 1 】

図 2 において、p n フォトダイオード P D が感光部（光電変換部）を形成している。そのフォトダイオード P D のアノードは第 1 MOS トランジスタ T 1 のドレインに接続され、この MOS トランジスタ T 1 のソースは、第 2 MOS トランジスタ T 2 のドレインとゲート、第 3 MOS トランジスタ T 3 のゲート及び第 5 MOS トランジスタ T 5 のソースに接続されている。MOS トランジスタ T 3 のソースは行選択用の第 4 MOS トランジスタ T 4 のドレインに接続されている。MOS トランジスタ T 4 のソースは出力信号線 6（この出力信号線 6 は図 1 の 6 - 1、6 - 2、・・・、6 - m に対応する）へ接続されている。尚、MOS トランジスタ T 1 ~ T 5 は、それぞれ、Nチャネルの MOS トランジスタでバックゲートが接地されている。

【 0 0 3 2 】

又、フォトダイオード P D のカソードには直流電圧 VPD が印加されるようになっている。一方、MOS トランジスタ T 2 のソースには直流電圧 VPS が印加され、MOS トランジスタ T 3 のソースには他端に直流電圧 VPS が印加されるキャパシタ C の一端が接続される。MOS トランジスタ T 5 のドレインに直流電圧 VPD が印加され、そのゲートに信号 ϕ SW が入力される。MOS トランジスタ T 3 のドレインには信号 ϕ D が入力される。又、MOS トランジスタ T 1 のゲートに信号 ϕ S が入力され、MOS トランジスタ T 4 のゲートには信号 ϕ V が入力される。

【 0 0 3 3 】

(1) 各画素への入射光を電気信号に変換する動作について

まず、信号 ϕS をハイレベルとしてMOSトランジスタT1をONにして、MOSトランジスタT2をサブスレッショルド領域で動作させる。このとき、MOSトランジスタT5のゲートには、ローレベルの信号 ϕSW が与えられて、MOSトランジスタT5はOFFとなり、実質的に存在しないことと等価になる。このとき、フォトダイオードPDに光が入射すると光電流が発生し、MOSトランジスタのサブスレッショルド特性により、前記光電流を自然対数的に変換した値の電圧がMOSトランジスタT2, T3のゲートに発生する。この電圧により、MOSトランジスタT3に電流が流れ、キャパシタCには前記光電流の積分値を自然対数的に変換した値と同等の電荷が蓄積される。つまり、キャパシタCとMOSトランジスタT3のソースとの接続ノードaに、前記光電流の積分値を自然対数的に変換した値に比例した電圧が生じることになる。ただし、このとき、MOSトランジスタT4はOFFの状態であるとする。

【0034】

次に、MOSトランジスタT4のゲートにパルス信号 ϕV を与えて、MOSトランジスタT4をONにすると、キャパシタCに蓄積された電荷が、出力電流として出力信号線6に導出される。この出力信号線6に導出される電流は前記光電流の積分値を自然対数的に変換した値となる。このようにして入射光量の対数値に比例した信号（出力電流）を読み出すことができる。又、信号読み出し後、MOSトランジスタT4をOFFする。尚、このように入射光量に対してその出力電流を自然対数的に変換するとき、信号 ϕSW は、常にローレベルのままである。

【0035】

（2）各画素のリセット動作について

以下に、図面を参照して、図2のような回路構成の画素のリセット動作について説明する。図3は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。又、図4は、各画素のリセットを行う際のMOSトランジスタT2のポテンシャルの状態を示す図である。尚、図4（a）は、MOSトランジスタT2の構造を示した図で、図4（b）～（e）はMOSトランジスタT2のポテンシャルの関係を示した図である。又、図

4 (b) ~ (e) において、矢印の方向がポテンシャルが高いことを表す。

【 0 0 3 6 】

ところで、MOSトランジスタT2は、例えば、図4 (a) のように、P型の半導体基板（以下、「P型基板」という。）10にN型拡散層11, 12を形成し、且つ、そのN型拡散層11, 12間のチャンネル上に順次、酸化膜13とポリシリコン層14を形成することによって構成される。ここで、N型拡散層11, 12が、それぞれMOSトランジスタT2のドレイン、ソースを形成するとともに、酸化膜13及びポリシリコン層14がそれぞれゲート絶縁膜とゲート電極を形成する。尚、ここで、P型基板10において、N型拡散層11, 12の間の領域をゲート下領域ということにする。

【 0 0 3 7 】

(1) で説明したように、MOSトランジスタT4のゲートにパルス ϕV を与えることによって、図2のような回路構成の各画素から入射光に対して対数変換された電気信号（出力信号）が出力信号線6に出力される。このように出力信号が出力されてパルス ϕV がローレベルになると、リセット動作が始まる。このリセット動作について、図3及び図4を参照して説明する。

【 0 0 3 8 】

まず、パルス信号 ϕV がMOSトランジスタT4のゲートに与えられて、出力信号が出力されると、信号 ϕS をローレベルにしてMOSトランジスタT1をOFFにする。このとき、MOSトランジスタT2のソース側より負の電荷が流れ込み、MOSトランジスタT2のゲート及びドレイン、そして、MOSトランジスタT3のゲートに蓄積された正の電荷が再結合される。よって、図4 (b) のように、ある程度まで、MOSトランジスタT2のドレイン及びゲート下領域のポテンシャルが下がる。

【 0 0 3 9 】

このように、MOSトランジスタT2のドレイン及びゲート下領域のポテンシャルが基の状態にリセットされようとするが、そのポテンシャルがある値になると、そのリセットされる速度が遅くなる。特に、明るい被写体が急に暗くなった場合にこの傾向が顕著となる。そして、次に、MOSトランジスタT5のゲート

に与える電圧 ϕ SWをハイレベルにして、MOSトランジスタT 5をONにする。このとき、MOSトランジスタT 2のドレイン電圧及びゲート電圧が高くなり、MOSトランジスタT 2のポテンシャルが図4 (c)のように変化し、ゲート下領域及びドレインのポテンシャルが高くなる。よって、MOSトランジスタT 5のドレインから正の電荷が流入する。

【0040】

このとき、MOSトランジスタT 5のドレインとゲートに直流電圧VPDが印加されるため、図4 (d)のように、MOSトランジスタT 2のゲート下領域のポテンシャルがMOSトランジスタT 2のゲート・ドレイン間の閾値によって決定されるポテンシャルに落ち着く。そして、MOSトランジスタT 5のゲートに印加する電圧 ϕ SWをローレベルにして、MOSトランジスタT 5をOFFにする。このとき、MOSトランジスタT 2のドレイン及びゲート下領域のポテンシャルが、図4 (e)のように下がって、基の状態にリセットされるとともに、MOSトランジスタT 3のゲート電圧もリセットされる。このように、MOSトランジスタT 2のポテンシャルの状態を基の状態にリセットした後、信号 ϕ Dの電圧をローレベルにして、キャパシタCを放電して、接続ノードaの電位を基の状態にリセットする。そして、信号 ϕ Dの電圧をハイレベルに戻す。

【0041】

しかる後、パルス信号 ϕ VをMOSトランジスタT 4に与えて、このリセット時の出力電流が出力信号線6に導出されて、各画素からの出力を補正するための補正データとして検出することができる。そして、再び、信号 ϕ Dの電圧をローレベルにしてキャパシタCを元の状態にリセットした後、信号 ϕ Dの電圧をハイレベルに戻す。その後、信号 ϕ Sをハイレベルにして、MOSトランジスタT 1を導通させて撮像動作が行える状態にする。

【0042】

更にいえば、このリセット時に読み出した出力信号が、図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎の補正データとして記憶しておく。そして、実際の撮像時の出力電流を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素のバラツキによる成分を取り除く

ことができる。尚、この補正方法の具体例は後述する図 3 3 に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

【 0 0 4 3 】

このように、本実施形態では、MOS トランジスタ T 2 のドレイン及びゲートに接続された MOS トランジスタ T 5 を ON にすることによって、又、信号 ϕ S W を各画素に共通に与えることによって、各画素に設けられた MOS トランジスタ T 2 のゲート電圧がほぼ一定値に初期化され、初期状態において、各画素の感度バラツキがキャンセルされた状態になる。

【 0 0 4 4 】

<画素構成の第 2 例>

図 5 は本発明の他の実施形態である二次元の MOS 型固体撮像装置の一部の構成を概略的に示している。同図において、G 1 1 ~ G m n は行列配置（マトリクス配置）された画素を示している。2 は垂直走査回路であり、行（ライン）4 - 1、4 - 2、 \dots 、4 - n を順次走査していく。3 は水平走査回路であり、画素から出力信号線 6 - 1、6 - 2、 \dots 、6 - m に導出された光電変換信号を画素ごとに水平方向に順次読み出す。5 は電源ラインである。各画素に対し、上記ライン 4 - 1、4 - 2 \dots 、4 - n や出力信号線 6 - 1、6 - 2 \dots 、6 - m、電源ライン 5 だけでなく、他のライン（例えば、クロックラインやバイアス供給ライン等）も接続されるが、図 5 ではこれらについて省略する。

【 0 0 4 5 】

出力信号線 6 - 1、6 - 2、 \dots 、6 - m ごとに N チャネルの MOS トランジスタ Q 1、Q 2 が図示の如く 1 組ずつ設けられている。MOS トランジスタ Q 1 のゲートは直流電圧線 7 に接続され、ドレインは出力信号線 6 - 1 に接続され、ソースは直流電圧 VPS' のライン 8 に接続されている。一方、MOS トランジスタ Q 2 のドレインは出力信号線 6 - 1 に接続され、ソースは最終的な信号線 9 に接続され、ゲートは水平走査回路 3 に接続されている。

【 0 0 4 6 】

画素 G 1 1 ~ G m n には、後述するように、それらの画素で発生した光電荷に基

づく信号を出力するNチャネルのMOSトランジスタT_aが設けられている。MOSトランジスタT_aと上記MOSトランジスタQ₁との接続関係は図6(a)のようになる。このMOSトランジスタT_aは、第2、第3、第5、第6の実施形態では、第6MOSトランジスタT₆に、第4、第7の実施形態では、第3MOSトランジスタT₃に相当する。ここで、MOSトランジスタQ₁のソースに接続される直流電圧V_{PS'}と、MOSトランジスタT_aのドレインに接続される直流電圧V_{PD'}との関係はV_{PD'} > V_{PS'}であり、直流電圧V_{PS'}は例えばグラウンド電圧（接地）である。この回路構成は上段のMOSトランジスタT_aのゲートに信号が入力され、下段のMOSトランジスタQ₁のゲートには直流電圧DCが常時印加される。このため下段のMOSトランジスタQ₁は抵抗又は定電流源と等価であり、図6(a)の回路はソースフォロワ型の増幅回路となっている。この場合、MOSトランジスタT_aから増幅出力されるのは電流であると考えてよい。

【0047】

MOSトランジスタQ₂は水平走査回路3によって制御され、スイッチ素子として動作する。尚、後述するように図7以降の各実施形態の画素内にはスイッチ用のNチャネルの第4MOSトランジスタT₄も設けられている。このMOSトランジスタT₄も含めて表わすと、図6(a)の回路は正確には図6(b)のようになる。即ち、MOSトランジスタT₄がMOSトランジスタQ₁とMOSトランジスタT_aとの間に挿入されている。ここで、MOSトランジスタT₄は行の選択を行うものであり、MOSトランジスタQ₂は列の選択を行うものである。尚、図5および図6に示す構成は以下に説明する第2の実施形態～第7の実施形態に共通の構成である。

【0048】

図6のように構成することにより信号を大きく出力することができる。従って、画素がダイナミックレンジ拡大のために感光素子から発生する光電流を自然対数的に変換しているような場合は、そのままでは出力信号が小さいが、本増幅回路により充分大きな信号に増幅されるため、後続の信号処理回路（図示せず）での処理が容易になる。また、増幅回路の負荷抵抗部分を構成するMOSトランジ

スタQ1を画素内に設けずに、列方向に配置された複数の画素が接続される出力信号線6-1、6-2、・・・、6-mごとに設けることにより、負荷抵抗又は定電流源の数を低減でき、半導体チップ上で増幅回路が占める面積を少なくできる。

【0049】

＜第2の実施形態＞

図5に示した画素構成の第2例の各画素に適用される第5の実施形態について、図面を参照して説明する。図7は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図2に示す画素と同様の目的で使用する素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0050】

図7に示すように、本実施形態では、図2に示す画素に、接続ノードaにゲートが接続され接続ノードaの電圧に応じた電流増幅を行う第6MOSトランジスタT6と、このMOSトランジスタT6のソースにドレインが接続された行選択用の第4MOSトランジスタT4と、接続ノードaにドレインが接続されキャパシタC及び接続ノードaの電位の初期化を行う第7MOSトランジスタT7とが付加された構成となる。MOSトランジスタT4のソースは出力信号線6（この出力信号線6は図5の6-1、6-2、・・・、6-mに対応する）へ接続されている。尚、MOSトランジスタT6、T7も、MOSトランジスタT1～T5と同様に、NチャネルのMOSトランジスタでバックゲートが接地されている。

【0051】

又、MOSトランジスタT6のドレインには直流電圧VPDが印加され、MOSトランジスタT4のゲートには信号φVが入力される。又、MOSトランジスタT7のソースには直流電圧VRBが印加されるとともに、そのゲートには信号φVRSが入力される。更に、MOSトランジスタT3のドレインには直流電圧VPDが印加される。尚、本実施形態において、MOSトランジスタT1～T5及びキャパシタCは、第1の実施形態（図2）と同様の動作を行い、各画素のリセット動作及び撮像動作を行うことができる。以下にその動作を説明する。

【 0 0 5 2 】

(1) 各画素への入射光を電気信号に変換する動作について

まず、信号 ϕS をハイレベルとしてMOSトランジスタT1をONにして、MOSトランジスタT2をサブスレッシュOLD領域で動作させるときの動作について説明する。このとき、MOSトランジスタT5のゲートには、ローレベルの信号 ϕSW が与えられて、MOSトランジスタT5はOFFとなり、実質的に存在しないことと等価になる。

【 0 0 5 3 】

フォトダイオードPDに光が入射すると光電流が発生し、MOSトランジスタのサブスレッシュOLD特性により、前記光電流を自然対数的に変換した値の電圧がMOSトランジスタT2, T3のゲートに発生する。この電圧により、MOSトランジスタT3に電流が流れ、キャパシタCには前記光電流の積分値を自然対数的に変換した値と同等の電荷が蓄積される。つまり、キャパシタCとMOSトランジスタT3のソースとの接続ノードaに、前記光電流の積分値を自然対数的に変換した値に比例した電圧が生じることになる。ただし、このとき、MOSトランジスタT4, T7はOFF状態である。

【 0 0 5 4 】

次に、MOSトランジスタT4のゲートにパルス信号 ϕV を与えて、MOSトランジスタT4をONにすると、MOSトランジスタT6のゲートにかかる電圧に比例した電流がMOSトランジスタT4, T6を通して出力信号線6に導出される。今、MOSトランジスタT4のゲートにかかる電圧は、接続ノードaにかかる電圧であるので、出力信号線6に導出される電流は前記光電流の積分値を自然対数的に変換した値となる。このようにして入射光量の対数値に比例した信号（出力電流）を読み出すことができる。

【 0 0 5 5 】

(2) 各画素のリセット動作について

以下に、図面を参照して、図7のような回路構成の画素のリセット動作について説明する。図8は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。

【 0 0 5 6 】

(1) で説明したように、パルス信号 ϕV が MOS トランジスタ T 4 のゲートに与えられて出力信号が出力されると、まず、信号 ϕS をローレベルにして MOS トランジスタ T 1 を OFF にする。このようにして、MOS トランジスタ T 2 とフォトダイオード PD との接続を遮断する。このとき、MOS トランジスタ T 2 のドレイン及びゲート下領域のポテンシャルが基の状態にリセットされようとするが、そのポテンシャルがある値になると、そのリセットされる速度が遅くなる。

【 0 0 5 7 】

そして、次に、MOS トランジスタ T 5 のゲートに与える電圧 ϕSW をハイレベルにして、MOS トランジスタ T 5 を ON にする。このとき、MOS トランジスタ T 5 のドレインとゲートに直流電圧 VPD が印加され、MOS トランジスタ T 2 のゲート下領域のポテンシャルが MOS トランジスタ T 2 のゲート・ドレイン間の閾値によって決定されるポテンシャルに落ち着く。その後、MOS トランジスタ T 5 のゲートに印加する電圧 ϕSW をローレベルにして、MOS トランジスタ T 5 を OFF にすることによって、MOS トランジスタ T 2 のポテンシャルの状態を基の状態にリセットする。このとき、MOS トランジスタ T 3 のゲート電圧もリセットされる。

【 0 0 5 8 】

MOS トランジスタ T 2 をこのようにリセットすると、信号 ϕVRS をハイレベルにすることで MOS トランジスタ T 7 を ON にして、一旦、キャパシタ C 及び接続ノード a の電位をリセットした後、再び、信号 ϕVRS をローレベルに戻す。しかる後、パルス信号 ϕV を MOS トランジスタ T 4 に与えて、このリセット時の出力電流が出力信号線 6 に導出されて、各画素からの出力を補正するための補正データとして検出することができる。そして、再び、パルス信号 ϕVRS の電圧を MOS トランジスタ T 7 のゲートに与えて、キャパシタ C を元の状態にリセットする。その後、信号 ϕS をハイレベルにして、MOS トランジスタ T 1 を導通させて撮像動作が行える状態にする。

【 0 0 5 9 】

＜第 3 の実施形態＞

第 3 の実施形態について、図面を参照して説明する。図 9 は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図 7 に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【 0 0 6 0 】

図 9 に示すように、本実施形態では、MOS トランジスタ T 3 のドレインに信号 ϕD を与えることによってキャパシタ C 及び接続ノード a の電位を初期化するようにし、それによって MOS トランジスタ T 7 を削除した構成となっている。その他の構成は第 2 の実施形態（図 7）と同一である。尚、信号 ϕD のハイレベル期間では、第 1 の実施形態（図 2）と同様にキャパシタ C で積分が行われ、ローレベル期間では、キャパシタ C の電荷が MOS トランジスタ T 3 を通して放電され、キャパシタ C の電圧及び MOS トランジスタ T 6 のゲートは略信号 ϕD のローレベル電圧になる（リセット）。本実施形態では、MOS トランジスタ T 7 を省略できる分、構成がシンプルになる。

【 0 0 6 1 】

この実施形態において、撮像動作をさせるときは、第 5 の実施形態と同様に、MOS トランジスタ T 1 を ON にするとともに信号 ϕSW をローレベルにして MOS トランジスタ T 5 を OFF にすることによって、MOS トランジスタ T 2 がサブスレッショルド状態で動作するようにする。又、信号 ϕD をハイレベルにして、光電流の積分値を自然対数的に変換した値と同等の電荷をキャパシタ C に蓄積する。そして、所定のタイミングで MOS トランジスタ T 4 を ON にして、MOS トランジスタ T 6 のゲートにかかる電圧に比例した電流を MOS トランジスタ T 4、T 6 を通して出力信号線 6 に導出する。

【 0 0 6 2 】

又、各画素をリセットするときは、第 1 の実施形態と同様、図 3 のタイミングで信号を制御する。即ち、まず、第 1 の実施形態と同様に、パルス信号 ϕV が与えられた後、信号 ϕS をローレベルにして MOS トランジスタ T 1 を OFF にして、リセット動作が始まる。次に、パルス信号 ϕSW を MOS トランジスタ T 5

のゲートに与えて、MOSトランジスタT2のゲート電圧及びドレイン電圧とMOSトランジスタT3のゲート電圧をリセットする。

【0063】

そして、一旦、信号 ϕ Dの電圧をローレベルにして、キャパシタCを放電して、接続ノードaの電位を基の状態にリセットした後、信号 ϕ Dの電圧をハイレベルに戻す。しかる後、パルス信号 ϕ VをMOSトランジスタT4に与えて、このリセット時の出力電流が出力信号線6に導出されて、各画素からの出力を補正するための補正データとして検出することができる。そして、再び、信号 ϕ Dの電圧をローレベルにしてキャパシタCを元の状態にリセットした後、信号 ϕ Dの電圧をハイレベルに戻す。その後、信号 ϕ Sをハイレベルにして、MOSトランジスタT1を導通させて撮像動作が行える状態にする。

【0064】

<第4の実施形態>

第4の実施形態について、図面を参照して説明する。図10は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図9に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0065】

図10に示すように、本実施形態では、MOSトランジスタT3のドレインに直流電圧VPDが印加されるとともに、キャパシタC及びMOSトランジスタT6を削除した構成となっている。即ち、MOSトランジスタT3のソースにMOSトランジスタT4のドレインが接続される。その他の構成は第3の実施形態（図9）と同一である。

【0066】

このような構成の回路において、撮像動作をさせるときは、第3の実施形態と同様に、MOSトランジスタT1をONにするとともに信号 ϕ SWをローレベルにしてMOSトランジスタT5をOFFにして、MOSトランジスタT2がサブスレッショルド状態で動作するようにする。このようにMOSトランジスタT2を動作させることによって、前記光電流に対して自然対数的に比例した値のドレ

イン電流がMOSトランジスタT3を流れる。

【0067】

そして、MOSトランジスタT4のゲートにパルス信号 ϕV を与えてONとすると、前記光電流に対して自然対数的に比例した値のドレイン電流が、MOSトランジスタT4を通して出力信号線6に導出される。このとき、MOSトランジスタT3及びMOSトランジスタQ1（図6）の導通時抵抗とそれらを流れる電流によって決まるMOSトランジスタQ1のドレイン電圧が、信号として出力信号線6に現れる。このようにして信号が読み出された後、MOSトランジスタT4をOFFにする。

【0068】

又、各画素をリセットする際には、図11のタイミングチャートのように動作させる。まず、パルス信号 ϕV が与えられた後、信号 ϕS をローレベルにしてMOSトランジスタT1をOFFにして、リセット動作が始まる。次に、パルス信号 ϕSW をMOSトランジスタT5のゲートに与えて、MOSトランジスタT2のゲート電圧及びドレイン電圧とMOSトランジスタT3のゲート電圧をリセットする。

【0069】

そして、パルス信号 ϕV をMOSトランジスタT4のゲートに与えて、画素毎に、このリセット時の出力電圧が出力信号線6に導出されて、各画素からの出力を補正するための補正データとして検出することができる。このように補正データを検出してMOSトランジスタT4をOFFした後、信号 ϕS をハイレベルにして、MOSトランジスタT1をONにして、次の撮像動作に備える。

【0070】

尚、本実施形態では上記第3の実施形態のように、光信号をキャパシタCで一旦積分するというを行わないので、積分時間が不要となり、又、キャパシタCのリセットも不要であるので、その分信号処理の高速化が図れる。又、本実施形態では、第3の実施形態に比し、キャパシタC及びMOSトランジスタT6を省略できる分、構成が更にシンプルになり画素サイズを小さくすることができる。

【 0 0 7 1 】

＜ディプレッション型MOSトランジスタを組み合わせた構成の画素＞

又、第1～第4の実施形態（図2、図7、図9、図10）において、第5MOSトランジスタT5をディプレッション型のNチャネルのMOSトランジスタとしても構わない。この画素の構成を、第4の実施形態（図10）の画素を例にして、図12に示す。図12に示すように、MOSトランジスタT5以外のMOSトランジスタT1～T4は、エンハンスメント型のNチャネルのMOSトランジスタである。

【 0 0 7 2 】

図10の構成の画素のように、画素内に設けられたMOSトランジスタを全てエンハンスメント型のMOSトランジスタで構成したとき、MOSトランジスタT2，T5が直列に接続されるため、MOSトランジスタT5のゲートに与える信号 ϕ SWのハイレベルの電圧が、通常は、この画素に供給する電圧よりも高くなる。そのため、通常はMOSトランジスタT5に信号 ϕ SWを与えるための別の電源を設ける必要がある。

【 0 0 7 3 】

それに対して、上述したように、このMOSトランジスタT5をディプレッション型のMOSトランジスタとすることによって、そのゲートに与える信号 ϕ SWのハイレベルの電圧を低くすることができ、他のMOSトランジスタに与えるハイレベルの信号と同じ電圧にすることが可能になる。これは、ディプレッション型のMOSトランジスタの閾値が負の値となるため、エンハンスメント型のMOSトランジスタと比べて、低いゲート電圧でONすることができるからである。

【 0 0 7 4 】

＜PチャネルMOSトランジスタを組み合わせた構成の画素＞

更に、第1～第4の実施形態において、第5MOSトランジスタT5をPチャネルのMOSトランジスタとしても構わない。この画素の構成を、第4の実施形態の画素を例にして、図13に示す。図13に示すように、MOSトランジスタT5以外のMOSトランジスタT1～T4は、NチャネルのMOSトランジスタ

である。又、MOSトランジスタT5のソースに直流電圧VPDが印加されるとともに、ドレインがMOSトランジスタT2のドレイン及びゲートに接続される。

【0075】

このような構成にしたとき、MOSトランジスタT5は、ゲート・ドレイン間の電圧差が閾値より大きければONとなり、又、ゲート・ドレイン間の電圧差が閾値より小さければOFFとなる。よって、MOSトランジスタT5のゲートに与える信号 ϕ SWが、第1～第4の実施形態の信号 ϕ SWとそのタイミングが逆転するとともに、MOSトランジスタT5のドレインに直列に接続されたMOSトランジスタT2の影響を受けることなく、ON/OFF動作を行うことができる。

【0076】

又、MOSトランジスタT5のON/OFF動作が、MOSトランジスタT2の影響を受けることがないので、信号 ϕ SWを供給するための別の電源を設ける必要が無くなる。更に、このようにすることによって、MOSトランジスタT5を、他のMOSトランジスタと同様にエンハンスメント型のMOSトランジスタとすることができるので、他のMOSトランジスタと同一の工程でMOSトランジスタT5を生成することが可能である。よって、上述したように、第5MOSトランジスタT5のみをディプレッション型のMOSトランジスタとするときと比べて、その生産工程が簡素化される。

【0077】

更に、第1～第4の実施形態において、第1MOSトランジスタT1を、第5MOSトランジスタT5と同様に、ディプレッション型のMOSトランジスタ又はPチャネルのMOSトランジスタとしても構わない。MOSトランジスタT1をこのようにすることで、MOSトランジスタT5をディプレッション型のMOSトランジスタ又はPチャネルのMOSトランジスタとしたときと同様の効果が得られる。

【0078】

<第5の実施形態>

第5の実施形態について、図面を参照して説明する。図14は、本実施形態に

使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図 7 に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【 0 0 7 9 】

図 1 4 に示すように、本実施形態では、画素の出力側を構成する MOS トランジスタ T 3, T 4, T 6, T 7 及びキャパシタ C が、図 7 の画素と同様の構成をしている。このような図 1 4 の画素において、フォトダイオード P D のアノードに直流電圧 V P S が印加され、MOS トランジスタ T 2 のドレインに直流電圧 V P D が与えられるとともにそのソースが MOS トランジスタ T 3 のゲートに接続される。又、MOS トランジスタ T 2 のソースにドレインが接続されるとともにフォトダイオード P D のカソードにソースが接続された第 1 MOS トランジスタ T 1 が設けられる。又、MOS トランジスタ T 5 のドレインに MOS トランジスタ T 2 のソースが接続されるとともに、そのソースに直流電圧 V P S が印加される。更に、MOS トランジスタ T 2 のゲートには直流電圧 V P G が与えられ、MOS トランジスタ T 1 のゲートには信号 ϕ S が与えられ、そして、MOS トランジスタ T 5 のゲートには信号 ϕ S W が与えられる。このような構成の画素のリセット動作及び撮像動作について、以下に説明する。

【 0 0 8 0 】

(1) 各画素への入射光を電気信号に変換する動作について

まず、信号 ϕ S をハイレベルとして MOS トランジスタ T 1 を ON にして、MOS トランジスタ T 2 をサブスレッショルド領域で動作させるときの動作について説明する。このとき、MOS トランジスタ T 5 のゲートには、ローレベルの信号 ϕ S W が与えられて、MOS トランジスタ T 5 は OFF となり、実質的に存在しないことと等価になる。

【 0 0 8 1 】

フォトダイオード P D に光が入射すると光電流が発生し、MOS トランジスタのサブスレッショルド特性により、光電流を自然対数的に変換した値の電圧が MOS トランジスタ T 2 のソース及び MOS トランジスタ T 3 のゲートに発生する。尚、このとき、フォトダイオード P D で発生した負の光電荷が MOS トランジ

スタ T 2 のソースに流れ込むため、強い光が入射されるほど MOS トランジスタ T 2 のソース電圧が低くなる。

【 0 0 8 2 】

このようにして光電流に対して自然対数的に変化した電圧が MOS トランジスタ T 3 のゲートに現れると、まず、MOS トランジスタ T 7 のゲートにハイレベルの信号 ϕ VRS を与えて MOS トランジスタ T 7 を ON にして、キャパシタ C 及び接続ノード a の電圧をリセットする。このとき、接続ノード a の電圧を MOS トランジスタ T 3 が動作できるように MOS トランジスタ T 3 のゲート電圧により決定される表面ポテンシャルより低い電圧になるようにリセットする。次に、信号 ϕ VRS をローレベルにして MOS トランジスタ T 7 を OFF にした後、信号 ϕ V をハイレベルにして MOS トランジスタ T 4 を ON にする。

【 0 0 8 3 】

このとき、接続ノード a の電圧が MOS トランジスタ T 7 によってリセットされることで、MOS トランジスタ T 3 が動作を行い、MOS トランジスタ T 3 のゲート電圧によって決定される表面ポテンシャルをサンプルした電圧が MOS トランジスタ T 6 のゲートに与えられる。よって、MOS トランジスタ T 6 のゲート電圧が入射光量を対数変換した値に比例した値となるため、MOS トランジスタ T 4 を ON にしたとき、前記光電流を自然対数的に変換した値となる電流又は電圧が、MOS トランジスタ T 6, T 4 を介して出力信号線 6 に導出される。このようにして入射光量の対数値に比例した信号（出力電流）を読み出すと、MOS トランジスタ T 4 を OFF にする。

【 0 0 8 4 】

（ 2 ）各画素のリセット動作について

次に、図面を参照して、図 1 4 のような回路構成の画素のリセット動作について説明する。図 1 5 は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。図 1 6 は、MOS トランジスタ T 2 のポテンシャルの関係を示した図である。

【 0 0 8 5 】

上記のように、パルス信号 ϕ VRS が MOS トランジスタ T 7 に与えられて接続

ノード a の電圧がリセットされた後、パルス信号 ϕV が MOS トランジスタ T 4 のゲートに与えられて、出力信号が読み出されると、まず、信号 ϕS をローレベルにして、MOS トランジスタ T 1 を OFF にした後、信号 ϕSW をハイレベルにして、MOS トランジスタ T 5 を ON にする。このとき、MOS トランジスタ T 2 のソースのポテンシャルが、図 1 6 (a) のように、電圧 VPS のポテンシャルまで下がる。

【 0 0 8 6 】

次に、信号 ϕSW をローレベルにして、MOS トランジスタ T 5 を OFF にすると、MOS トランジスタ T 2 のソースのポテンシャルが上昇して、図 1 6 (b) のように、MOS トランジスタ T 2 のゲート・ソース間の閾値に応じたポテンシャルに落ち着こうとする。そして、MOS トランジスタ T 7 のゲートにパルス信号 ϕVRS を与えて、接続ノード a の電圧をリセットした後、MOS トランジスタ T 4 のゲートにパルス信号 ϕV を与えて出力信号を読み出す。

【 0 0 8 7 】

このとき、読み出された出力信号は、MOS トランジスタ T 2 の閾値電圧に応じた値となるため、各画素からの出力を補正するための補正データとして検出することができる。そして、最後に、撮像動作が行えるように、信号 ϕS をハイレベルにして MOS トランジスタ T 1 を ON にする。

【 0 0 8 8 】

尚、第 3 の実施形態（図 9）のように、MOS トランジスタ T 3 のドレインにパルス信号（例えば、 $\phi VPD'$ ）を与えるような構造にして、この信号 $\phi VPD'$ によって MOS トランジスタ T 3 によって、接続ノード a の電圧をリセットできるようにすることで、図 1 4 の構成の画素から MOS トランジスタ T 7 を省略した構成にしても構わない。

【 0 0 8 9 】

< 第 6 の実施形態 >

第 6 の実施形態について、図面を参照して説明する。図 1 7 は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図 1 4 に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付し

て、その詳細な説明は省略する。

【0090】

図17に示すように、本実施形態では、図14の画素におけるMOSトランジスタT3、T7をPチャネルのMOSトランジスタとし、MOSトランジスタT3のドレインに直流電圧VPSが印加されるとともに、このMOSトランジスタT3のソースに一端が接続されたキャパシタCの他端に直流電圧VPDが印加される。又、MOSトランジスタT7のドレインに直流電圧VRBが印加され、そのソースにMOSトランジスタT6のゲートが接続される。その他の構成については、図14の画素の構成と同様である。尚、MOSトランジスタT7のソースに印加される直流電圧VRBは、VPSよりも高い電圧である。このような構成の画素のリセット動作及び撮像動作について、以下に説明する。

【0091】

(1) 各画素への入射光を電気信号に変換する動作について

まず、信号 ϕS をハイレベルとしてMOSトランジスタT1をONにして、MOSトランジスタT2をサブスレッショルド領域で動作させるときの動作について説明する。このとき、MOSトランジスタT5のゲートには、ローレベルの信号 ϕSW が与えられて、MOSトランジスタT5はOFFとなり、実質的に存在しないことと等価になる。尚、キャパシタC及び接続ノードaの電圧が、MOSトランジスタT7によってリセットされているものとする。

【0092】

フォトダイオードPDに光が入射すると光電流が発生し、MOSトランジスタのサブスレッショルド特性により、光電流を自然対数的に変換した値の電圧がMOSトランジスタT2のソース及びMOSトランジスタT3のゲートに発生する。尚、このとき、フォトダイオードPDで発生した負の光電荷がMOSトランジスタT2のソースに流れ込むため、強い光が入射されるほどMOSトランジスタT2のソース電圧が低くなる。

【0093】

このようにして光電流に対して自然対数的に変化した電圧がMOSトランジスタT3のゲートに現れると、接続ノードaがリセットされてMOSトランジスタ

T 3 のゲート電圧により決定される表面ポテンシャルより高い電圧になっているので、キャパシタ C から正の電荷が MOS トランジスタ T 3 を介して流れる。このとき、MOS トランジスタ T 3 のゲート電圧によって、キャパシタ C から流れる正の電荷量が決定される。即ち、強い光が入射されて MOS トランジスタ T 2 のソース電圧が低くなるときほど、キャパシタ C から流れる正の電荷量が多い。

【 0 0 9 4 】

このようにしてキャパシタ C から正の電荷が流れ、接続ノード a の電圧が入射光量の積分値を対数変換した値に比例した値となる。そして、パルス信号 ϕV を与えて MOS トランジスタ T 4 を ON にしたとき、前記光電流の積分値を自然対数的に変換した値となる電流が、MOS トランジスタ T 6, T 4 を介して出力信号線 6 に導出される。このようにして入射光量の対数値に比例した信号（出力電流）を読み出すと、MOS トランジスタ T 4 を OFF にする。

【 0 0 9 5 】

(2) 各画素のリセット動作について

次に、図面を参照して、図 1 7 のような回路構成の画素のリセット動作について説明する。図 1 8 は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。上記のように、パルス信号 ϕV が MOS トランジスタ T 4 のゲートに与えられて、出力信号が読み出されると、第 5 の実施形態（図 1 5）と同様に、まず、信号 ϕS をローレベルにして、MOS トランジスタ T 1 を OFF にする。そして、信号 ϕSW をハイレベルにして、MOS トランジスタ T 5 を ON にして、MOS トランジスタ T 2 のソースのポテンシャルを下げる。

【 0 0 9 6 】

次に、信号 ϕSW をローレベルにして、MOS トランジスタ T 5 を OFF にすると、MOS トランジスタ T 2 のソースのポテンシャルが上昇して、MOS トランジスタ T 2 のゲート・ソース間の閾値に応じたポテンシャルに落ち着こうとする。そして、MOS トランジスタ T 7 のゲートにパルス信号 ϕVRS を与えて、接続ノード a の電圧をリセットした後、MOS トランジスタ T 4 のゲートにパルス信号 ϕV を与えて出力信号を読み出す。尚、MOS トランジスタ T 7 のゲートに

与えるパルス信号 ϕ VRSは、ローレベルのパルス信号である。

【0097】

このとき、読み出された出力信号は、MOSトランジスタT2の閾値電圧に応じた値となるため、各画素からの出力を補正するための補正データとして検出することができる。そして、最後に、撮像動作が行えるように、MOSトランジスタT7のゲートにパルス信号 ϕ VRSを与えて接続ノードaの電圧をリセットした後、信号 ϕ SをハイレベルにしてMOSトランジスタT1をONにする。

【0098】

尚、第3の実施形態（図9）のように、MOSトランジスタT3のドレインにパルス信号（例えば、 ϕ VPS）を与えるような構造にして、この信号 ϕ VPSによってMOSトランジスタT3によって、接続ノードaの電圧をリセットできるようにすることで、図17の構成の画素からMOSトランジスタT7を省略した構成にしても構わない。尚、この場合は、MOSトランジスタT3のドレインに与えるパルス信号 ϕ VPSを、フォトダイオードPDのアノードに印加する直流電圧VPSとは異なる電源線から供給するようにする。

【0099】

<第7の実施形態>

第7の実施形態について、図面を参照して説明する。図19は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図14に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0100】

図19に示すように、本実施形態では、MOSトランジスタT3のソースにMOSトランジスタT4のドレインを接続することで、キャパシタC及びMOSトランジスタT6、T7を削除した構成となっている。その他の構成は、第7の実施形態（図14）と同一である。このような構成の画素のリセット動作及び撮像動作について、以下に説明する。

【0101】

（1）各画素への入射光を電気信号に変換する動作について

まず、信号 ϕS をハイレベルとしてMOSトランジスタT1をONにして、MOSトランジスタT2をサブスレッショルド領域で動作させるときの動作について説明する。このとき、MOSトランジスタT5のゲートには、ローレベルの信号 ϕSW が与えられて、MOSトランジスタT5はOFFとなり、実質的に存在しないことと等価になる。

【0102】

フォトダイオードPDに光が入射すると光電流が発生し、MOSトランジスタのサブスレッショルド特性により、光電流を自然対数的に変換した値の電圧がMOSトランジスタT2のソース及びMOSトランジスタT3のゲートに発生する。尚、このとき、フォトダイオードPDで発生した負の光電荷がMOSトランジスタT2のソースに流れ込むため、強い光が入射されるほどMOSトランジスタT2のソース電圧が低くなる。

【0103】

このようにして光電流に対して自然対数的に変化した電圧がMOSトランジスタT3のゲートに現れると、パルス信号 ϕV が与えられてMOSトランジスタT4をONとして、前記光電流を自然対数的に変換した値となる電流が、MOSトランジスタT3、T4を介して出力信号線6に導出される。このようにして入射光量の対数値に比例した信号（出力電流）を読み出すと、MOSトランジスタT4をOFFにする。

【0104】

（2）各画素のリセット動作について

次に、図面を参照して、図19のような回路構成の画素のリセット動作について説明する。図20は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。上記のように、パルス信号 ϕV がMOSトランジスタT4のゲートに与えられて、出力信号が読み出されると、第5の実施形態（図14）と同様に、まず、信号 ϕS をローレベルにして、MOSトランジスタT1をOFFした後、パルス信号 ϕSW をMOSトランジスタT5のゲートに与えて、MOSトランジスタT2のソースをリセットする。次に、MOSトランジスタT4のゲートにパルス信号 ϕV を与えて出力信号を読み

出す。

【 0 1 0 5 】

このとき、読み出された出力信号は、MOSトランジスタT2の閾値電圧に応じた値となるため、各画素からの出力を補正するための補正データとして検出することができる。そして、最後に、撮像動作が行えるように、信号 ϕS をハイレベルにしてMOSトランジスタT1をONにする。

【 0 1 0 6 】

尚、第2～第7の実施形態において、第1の実施形態と同様に、このリセット時に読み出した出力信号が、図5の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎の補正データとして記憶しておく。そして、実際の撮像時の出力電流を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図33に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

【 0 1 0 7 】

又、以上説明した実施形態において、各画素からの信号読み出しは電荷結合素子(CCD)を用いて行うようにしてもかまわない。この場合、MOSトランジスタT4に相当するポテンシャルレベルを可変としたポテンシャルの障壁を設けることにより、CCDへの電荷読み出しを行えばよい。

【 0 1 0 8 】

以上説明した第1～第5及び第7の実施形態は、画素内の能動素子であるMOSトランジスタT1～T7を全てNチャネルのMOSトランジスタで構成しているが、これらのMOSトランジスタT1～T7を全てPチャネルのMOSトランジスタで構成してもよい。又、第6の実施形態において、画素内のNチャネルのMOSトランジスタをPチャネルのMOSトランジスタに、PチャネルのMOSトランジスタをNチャネルのMOSトランジスタに変えて構成しても構わない。

【 0 1 0 9 】

図22、図25～図27、図30及び図32には、上記第1～第5及び第7の実施形態をPチャネルのMOSトランジスタで構成した例である第8～第12及

び第 1 4 の実施形態を示している。又、図 3 1 には、上記第 6 の実施形態の画素の MOS トランジスタを逆極性の MOS トランジスタで構成した例である第 1 3 の実施形態を示している。又、図 2 8 は、第 1 1 の実施形態において、第 5 MOS トランジスタ T 5 をディプレッション型の P チャネルの MOS トランジスタとしたものである。更に、図 2 9 は、第 1 1 の実施形態において、第 5 MOS トランジスタ T 5 を N チャネルの MOS トランジスタとしたものである。そのため図 2 1 ~ 図 3 2 では接続の極性や印加電圧の極性が逆になっている。例えば、図 2 2 (第 8 の実施形態) において、フォトダイオード PD はアノードに直流電圧 V_{PD} に接続され、カソードが第 1 MOS トランジスタ T 1 のドレインに接続され、また、MOS トランジスタ T 1 のソースが第 2 MOS トランジスタ T 2 のドレイン及びゲートと第 3 MOS トランジスタ T 3 のゲートに接続されている。MOS トランジスタ T 2 のソースには直流電圧 V_{PS} が与えられる。

【 0 1 1 0 】

ところで、図 2 2 のような画素が対数変換を行うとき、直流電圧 V_{PS} と直流電圧 V_{PD} は、 $V_{PS} > V_{PD}$ となっており、図 2 (第 1 の実施形態) と逆である。また、キャパシタ C の出力電圧は初期値が高い電圧で、積分によって降下する。また、第 1 MOS トランジスタ T 1 や第 4 MOS トランジスタ T 4 や第 5 MOS トランジスタ T 5 を ON させるときには、低い電圧をゲートに印加する。更に、図 2 5、図 3 0 の実施形態 (第 9 及び第 1 2 の実施形態) において、第 7 MOS トランジスタ T 7 を ON させるときには、低い電圧をゲートに印加する。又、図 2 9 に示す構成の画素において、N チャネルの MOS トランジスタとなる第 5 MOS トランジスタ T 5 を ON させるときには、高い電圧をゲートに印加する。更に、図 3 1 の実施形態 (第 1 3 の実施形態) において、第 4 MOS トランジスタ T 4 を ON させるときには低い電圧をゲートに印加し、そして、第 7 MOS トランジスタ T 7 を ON させるときには高い電圧をゲートに印加する。以上の通り、逆極性の MOS トランジスタを用いる場合は、電圧関係や接続関係が一部異なるが、構成は実質的に同一であり、また基本的な動作も同一であるので、図 2 5 ~ 図 3 2 については図面で示すのみで、その構成や動作についての説明は省略する。

【 0 1 1 1 】

第 8 の実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図 2 1 に示し、第 9 ～ 第 1 3 の実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図 2 3 に示している。図 2 1 及び図 2 3 については、図 1 及び図 5 と同一部分（同一の役割部分）に同一の符号を付して説明を省略する。以下、図 2 3 の構成について簡単に説明する。列方向に配列された出力信号線 6 - 1、6 - 2、 \dots 、6 - m に対して P チャネルの MOS トランジスタ Q 1 と P チャネルの MOS トランジスタ Q 2 が接続されている。MOS トランジスタ Q 1 のゲートは直流電圧線 7 に接続され、ドレインは出力信号線 6 - 1 に接続され、ソースは直流電圧 V_{PS}' のライン 8 に接続されている。

【0 1 1 2】

一方、MOS トランジスタ Q 2 のドレインは出力信号線 6 - 1 に接続され、ソースは最終的な信号線 9 に接続され、ゲートは水平走査回路 3 に接続されている。ここで、MOS トランジスタ Q 1 は画素内の P チャネルの MOS トランジスタ T a と共に図 2 4 (a) に示すような増幅回路を構成している。尚、MOS トランジスタ T a は、第 9、第 1 0、第 1 2 及び第 1 3 の実施形態では第 6 MOS トランジスタ T 6 に相当し、又、第 1 1 及び第 1 4 の実施形態では第 3 MOS トランジスタ T 3 に相当する。

【0 1 1 3】

この場合、MOS トランジスタ Q 1 は MOS トランジスタ T a の負荷抵抗又は定電流源となっている。従って、この MOS トランジスタ Q 1 のソースに接続される直流電圧 V_{PS}' と、MOS トランジスタ T a のドレインに接続される直流電圧 V_{PD}' との関係は、 $V_{PD}' < V_{PS}'$ であり、直流電圧 V_{PD}' は例えばグランド電圧（接地）である。MOS トランジスタ Q 1 のドレインは MOS トランジスタ T a に接続され、ゲートには直流電圧が印加されている。P チャネルの MOS トランジスタ Q 2 は水平走査回路 3 によって制御され、増幅回路の出力を最終的な信号線 9 へ導出する。第 9 ～ 第 1 3 の実施形態のように、画素内に設けられた第 4 MOS トランジスタ T 4 を考慮すると、図 2 4 (a) の回路は図 2 4 (b) のように表わされる。

【 0 1 1 4 】

＜画像データの補正方法＞

上述した第 1 ～第 1 4 の実施形態のような回路構成の画素が設けられた固体撮像装置がデジタルカメラなどの画像入力装置に使用されたときの実施例を、図面を参照して説明する。

【 0 1 1 5 】

図 3 3 に示す画像入力装置は、対物レンズ 5 1 と、該対物レンズ 5 1 を通して入射される光の光量に応じて電気信号を出力する固体撮像装置 5 2 と、撮像時の固体撮像装置 5 2 の電気信号（以下、「画像データ」と呼ぶ。）が入力されて一時記憶されるメモリ 5 3 と、リセット時の固体撮像装置 5 2 の電気信号（以下、「補正データ」と呼ぶ。）が入力されて一時記憶されるためのメモリ 5 4 と、メモリ 5 3 から送出される画像データからメモリ 5 4 から記憶される補正データを補正演算する補正演算回路 5 5 と、補正演算回路 5 5 で補正データにより補正の施された画像データを演算処理して外部に出力する処理部 5 6 とを有する。尚、固体撮像装置 5 2 は、第 1 ～第 1 4 の実施形態のような回路構成の画素が設けられた固体撮像装置である。

【 0 1 1 6 】

このような構成の画像入力装置は、まず、撮像動作を行って、固体撮像装置 5 2 から各画素毎に画像データがメモリ 5 3 に出力される。そして、各画素が撮像動作を終えて、リセット動作を行ったときに、上記で説明したように、各画素の感度のバラツキを調べて、補正データをメモリ 5 4 に出力する。そして、メモリ 5 3 内の各画素の画像データとメモリ 5 4 内の各画素の補正データを、補正演算回路 5 5 にこの画像データを各画素毎に送出する。

【 0 1 1 7 】

補正演算回路 5 5 では、メモリ 5 3 から送出された画像データからこの画像データを出力した同一画素のメモリ 5 4 から送出された補正データが各画素毎に補正演算される。この補正データが補正演算された画像データが処理部 5 6 に送出されて、演算処理された後、外部に出力される。又、このような画像入力装置において、メモリ 5 3、5 4 は、それぞれ、固体撮像装置 5 2 からライン毎に送出

されるデータが記録されるラインメモリなどが用いられる。従って、メモリ 5 3 , 5 4 を固体撮像装置内に組み込むことも容易である。

【0 1 1 8】

尚、他の実施形態においては、リセットを行うことによって、ほぼ各画素の感度のバラツキがキャンセルされるが、これをより正確に行うために図 3 3 で説明したようなメモリや補正演算回路などを含む補正回路を設けるようにしても構わない。

【0 1 1 9】

【発明の効果】

以上説明したように、本発明の固体撮像装置によれば、感光素子とこれに第 1 電極が電氣的に接続される第 1 のトランジスタとの間にスイッチ手段を設け、このスイッチ手段を OFF するとともに前記第 1 のトランジスタに、撮像時よりも大きい電流が流れ得るようにしてリセットを行うようにした。従って、感光素子に入射する光がリセット動作に影響を与えることが防止され、リセット動作が正確に行えるようになる。又、リセットしたときの各画素の出力を補正データとし、この補正データによって撮像時の出力を補正することによって、各画素の感度バラツキを抑制することができる。

【図面の簡単な説明】

【図 1】 本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 2】 本発明の第 1 の実施形態の 1 画素の構成を示す回路図。

【図 3】 第 1 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 4】 図 2 の画素の構成及びポテンシャルの関係を表した図。

【図 5】 本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 6】 図 5 の一部の回路図。

【図 7】 本発明の第 2 の実施形態の 1 画素の構成を示す回路図。

【図 8】 第 2 の実施形態で使用する画素の各素子に与える信号のタイミングチ

ャート。

【図 9】 本発明の第 3 の実施形態の 1 画素の構成を示す回路図。

【図 1 0】 本発明の第 4 の実施形態の 1 画素の構成を示す回路図。

【図 1 1】 第 4 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 1 2】 本発明の第 4 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 1 3】 本発明の第 4 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 1 4】 本発明の第 5 の実施形態の 1 画素の構成を示す回路図。

【図 1 5】 第 5 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 1 6】 図 1 4 の画素の構成及びポテンシャルの関係を表した図。

【図 1 7】 本発明の第 6 の実施形態の 1 画素の構成を示す回路図。

【図 1 8】 第 6 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 1 9】 本発明の第 7 の実施形態の 1 画素の構成を示す回路図。

【図 2 0】 第 7 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 2 1】 画素内の能動素子を P チャンネルの MOS トランジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 2 2】 本発明の第 8 の実施形態の 1 画素の構成を示す回路図。

【図 2 3】 画素内の能動素子を P チャンネルの MOS トランジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 2 4】 図 2 3 の一部の回路図。

【図 2 5】 本発明の第 9 の実施形態の 1 画素の構成を示す回路図。

【図 2 6】 本発明の第 1 0 の実施形態の 1 画素の構成を示す回路図。

【図 2 7】 本発明の第 1 1 の実施形態の 1 画素の構成を示す回路図。

【図 2 8】 本発明の第 1 1 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 2 9】本発明の第 1 1 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 3 0】本発明の第 1 2 の実施形態の 1 画素の構成を示す回路図。

【図 3 1】本発明の第 1 3 の実施形態の 1 画素の構成を示す回路図。

【図 3 2】本発明の第 1 4 の実施形態の 1 画素の構成を示す回路図。

【図 3 3】各実施形態の画素を用いた個体撮像装置を備えた画像入力装置の内部構造を示すブロック図。

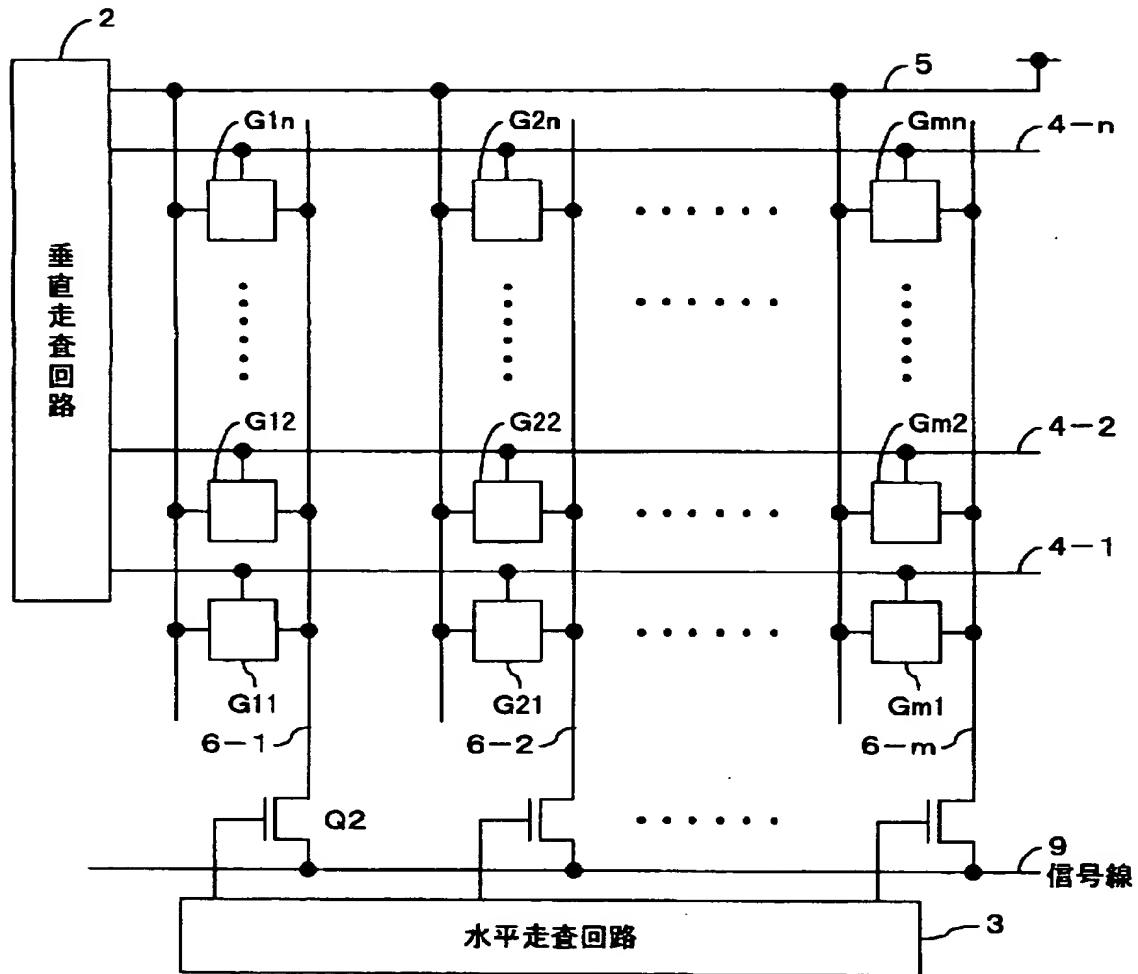
【図 3 4】従来例の 1 画素の構成を示す回路図。

【符号の説明】

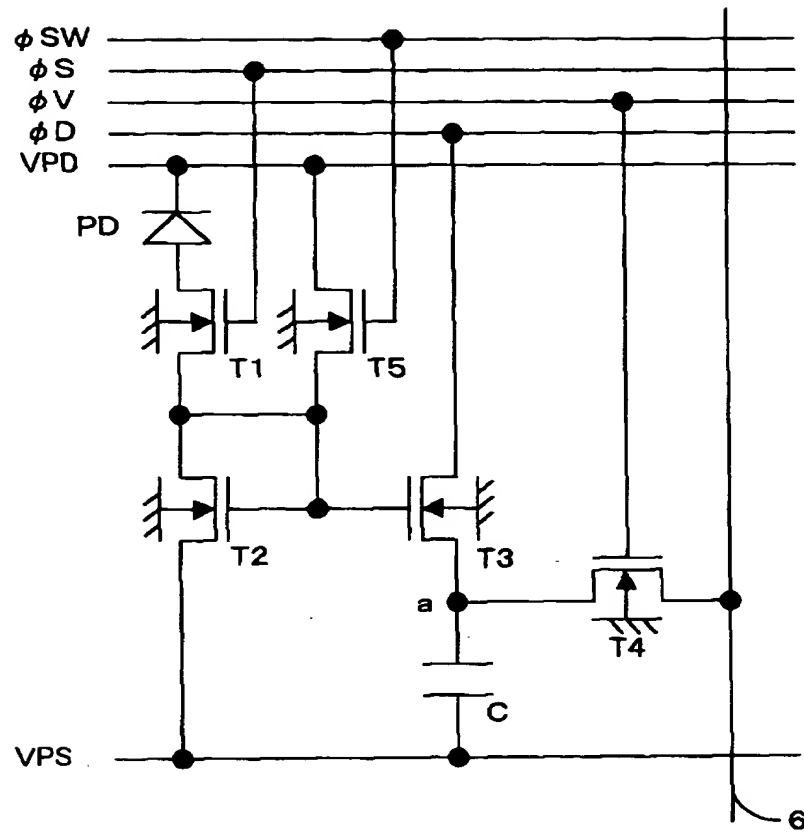
G 1 1 ~ G m n	画素
2	垂直走査回路
3	水平走査回路
4 - 1 ~ 4 - n	行選択線
6 - 1 ~ 6 - m	出力信号線
7	直流電圧線
8	ライン
9	信号線
1 0	P 型半導体基板
1 1, 1 2	N 型拡散層
1 3	酸化膜
1 4	ポリシリコン
5 1	対物レンズ
5 2	固体撮像装置
5 3, 5 4	メモリ
5 5	補正演算回路
5 6	処理部
P D	フォトダイオード
T 1 ~ T 7	第 1 ~ 第 7 M O S トランジスタ
C	キャパシタ

【書類名】 図面

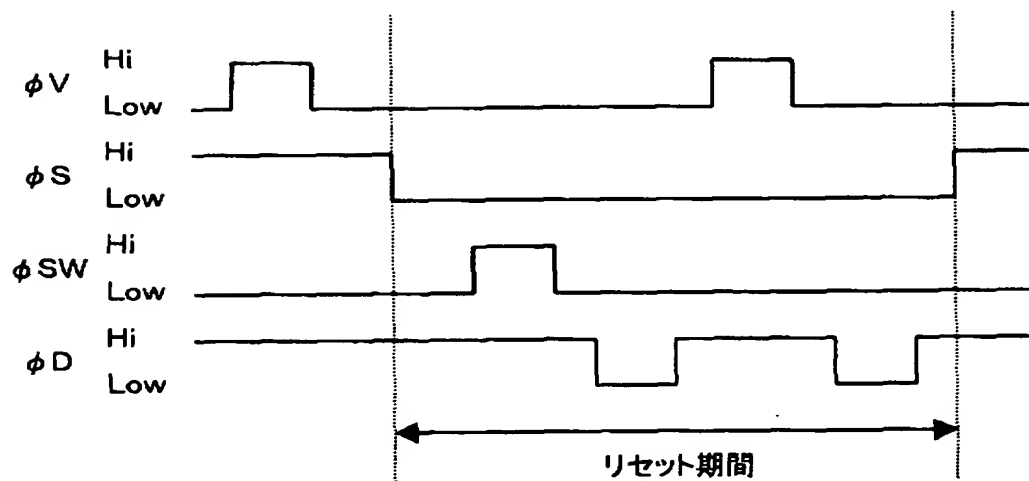
【図 1】



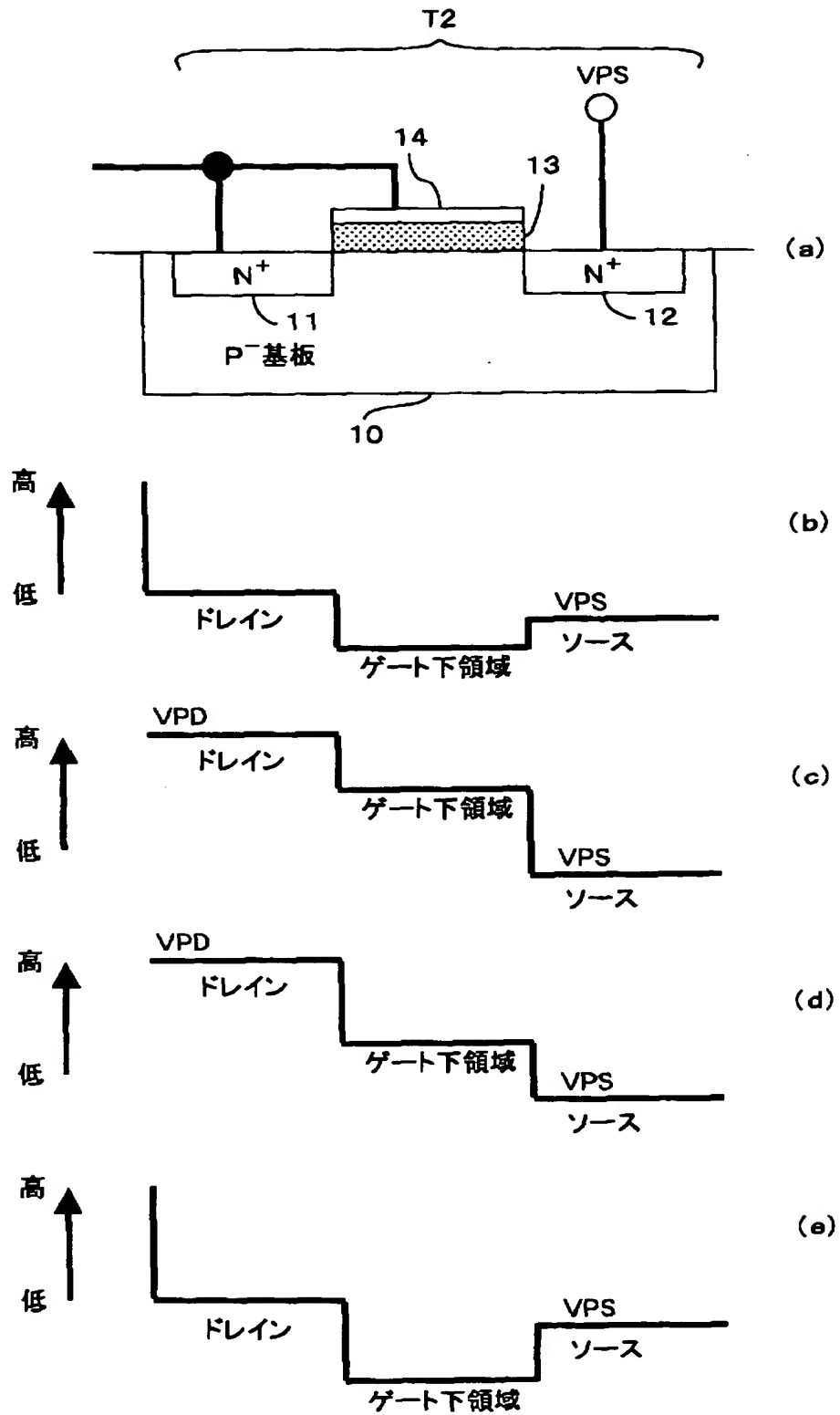
【図 2】



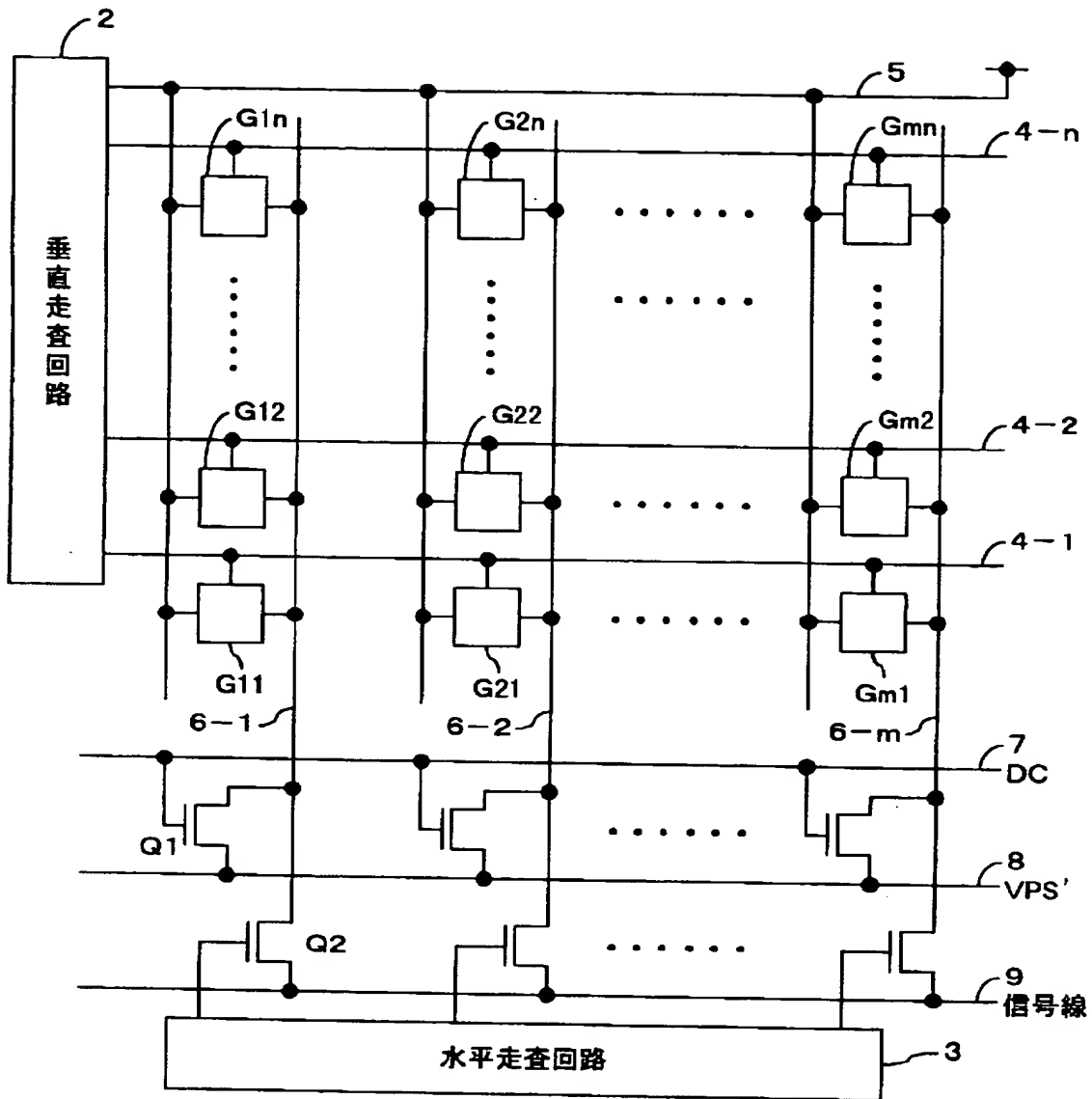
【図 3】



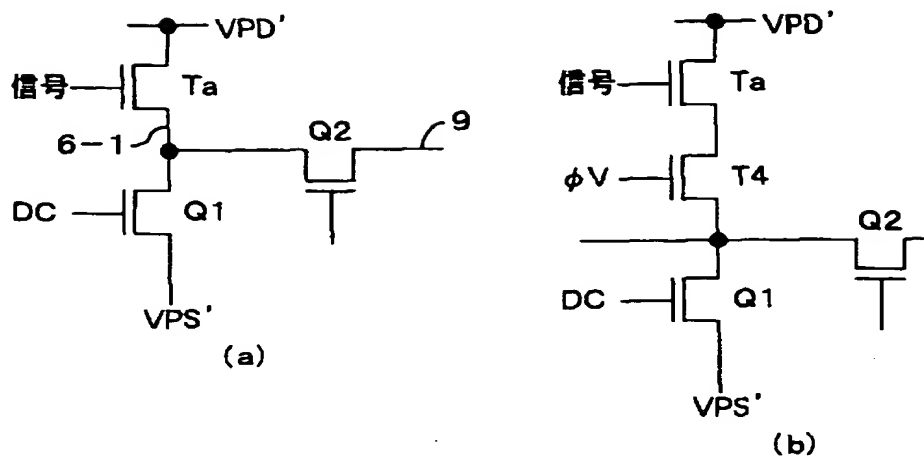
【図 4】



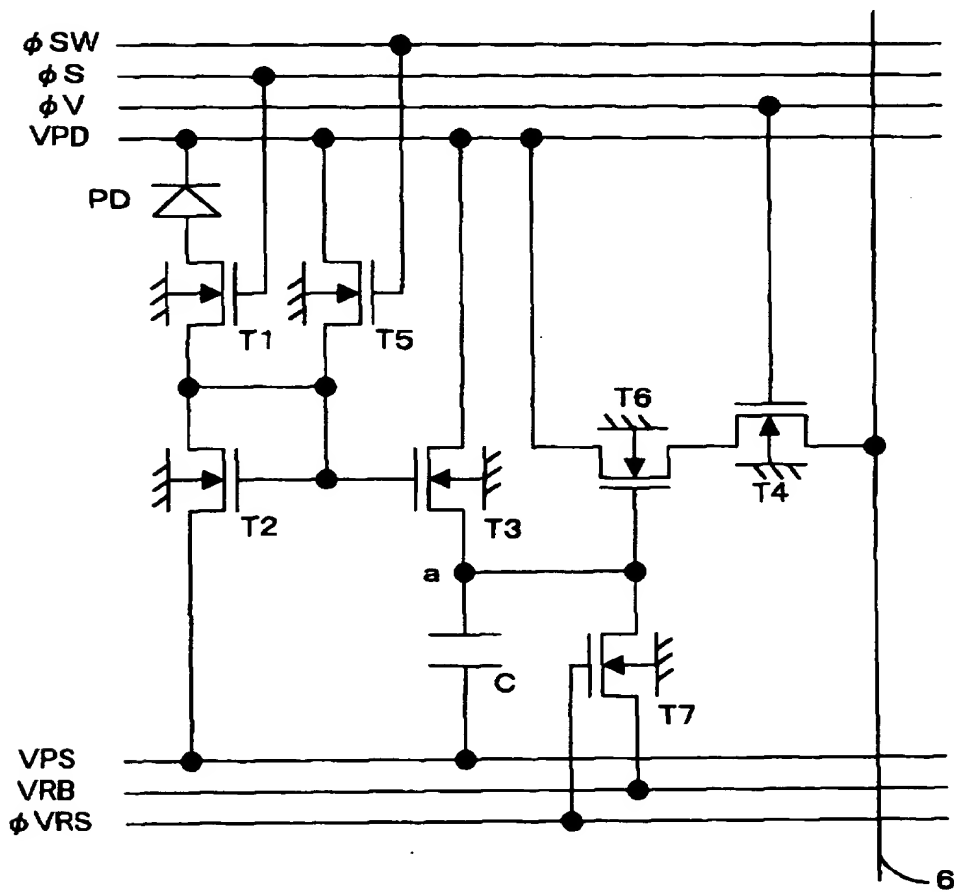
【図 5】



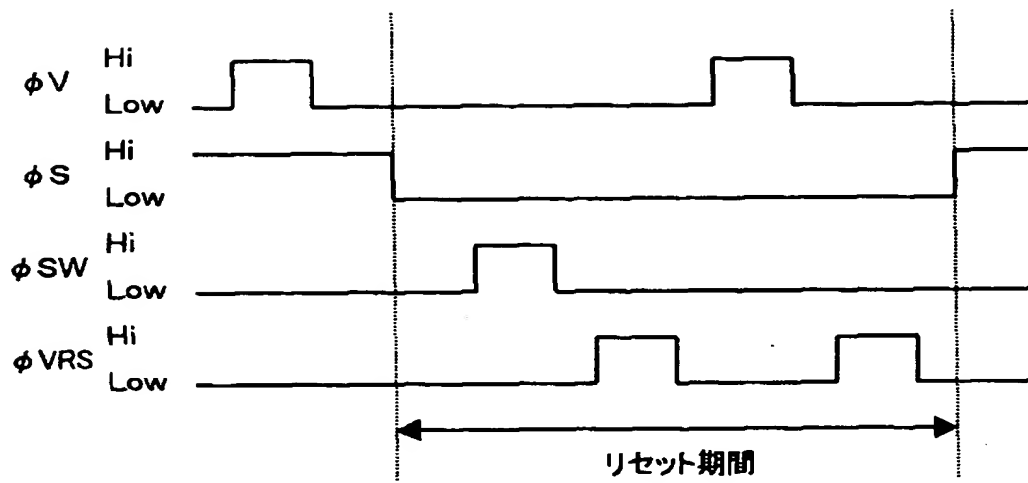
【図 6】



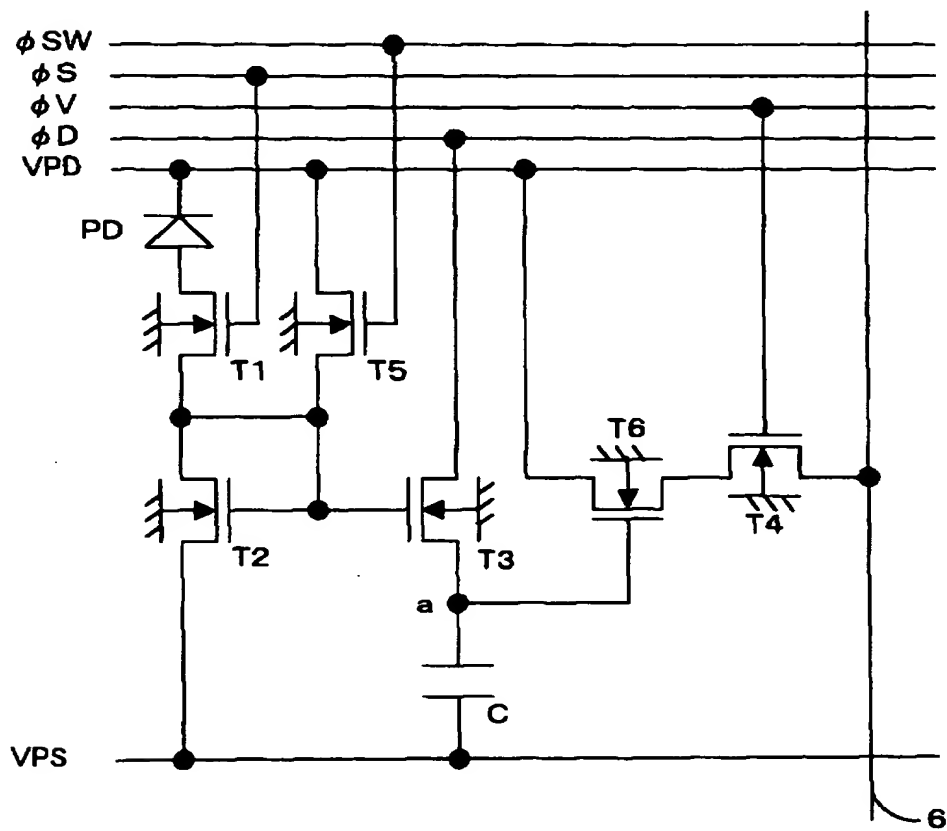
【図 7】



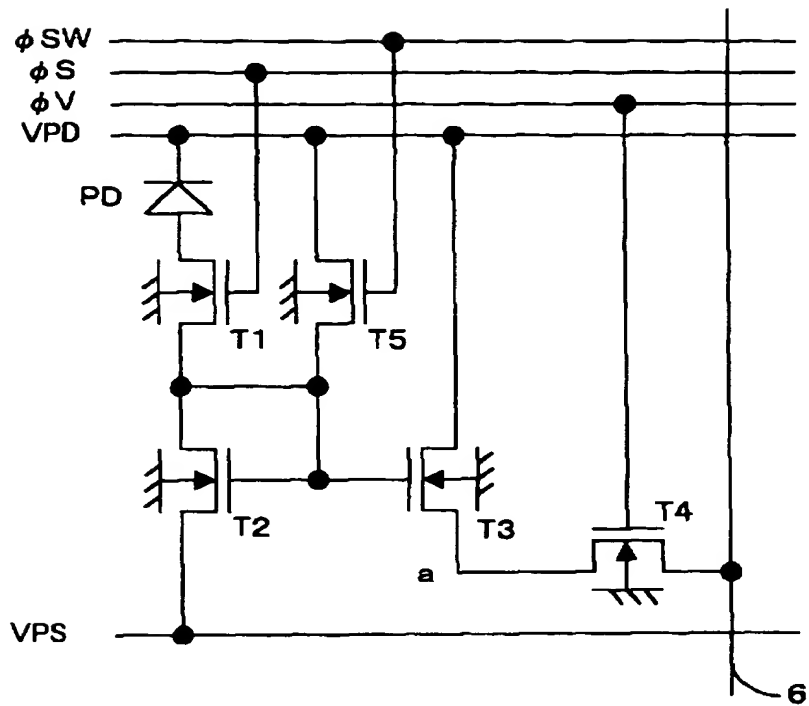
【図 8】



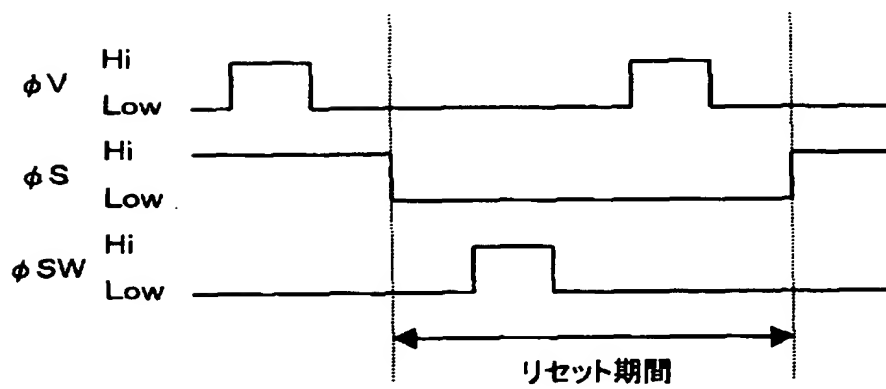
【図 9】



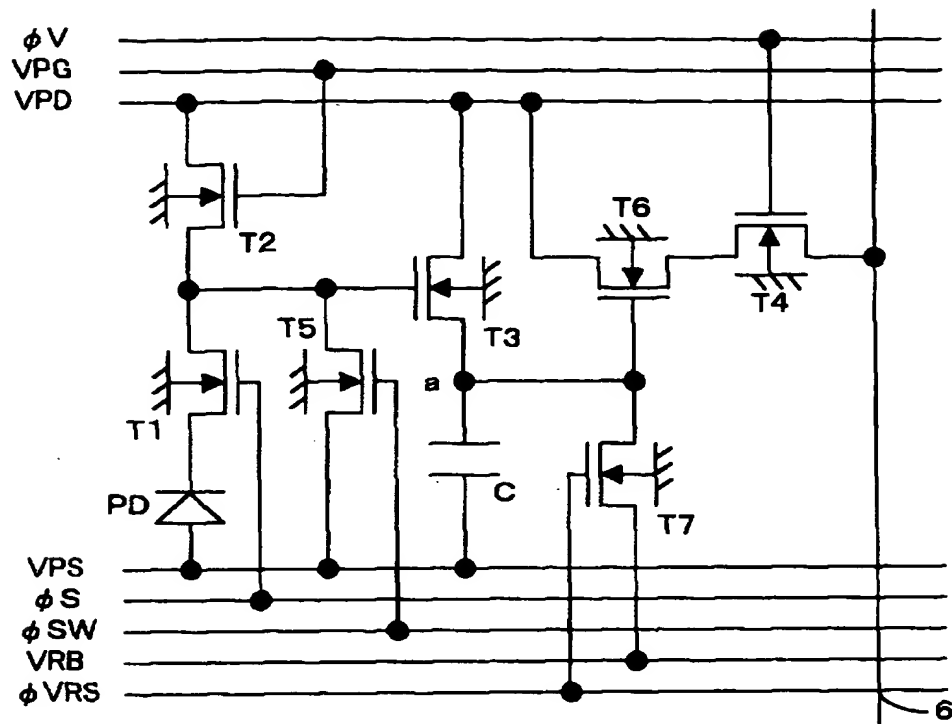
【図 10】



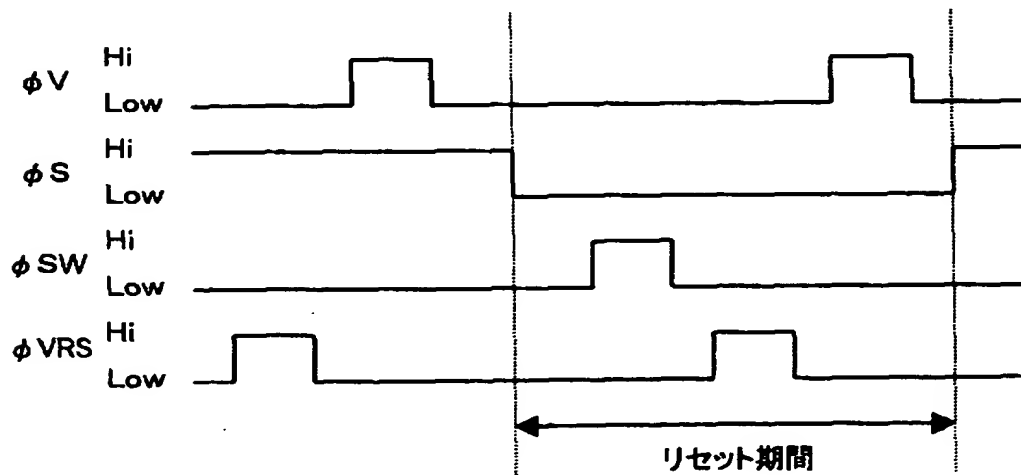
【図 11】



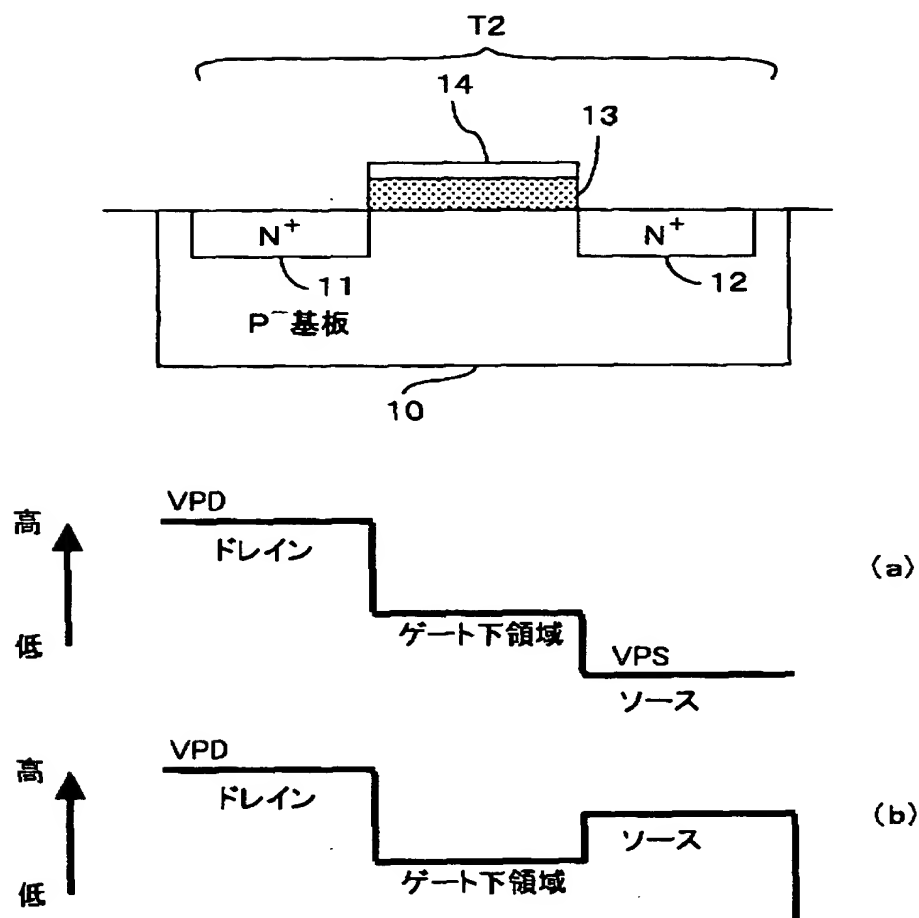
【図 14】



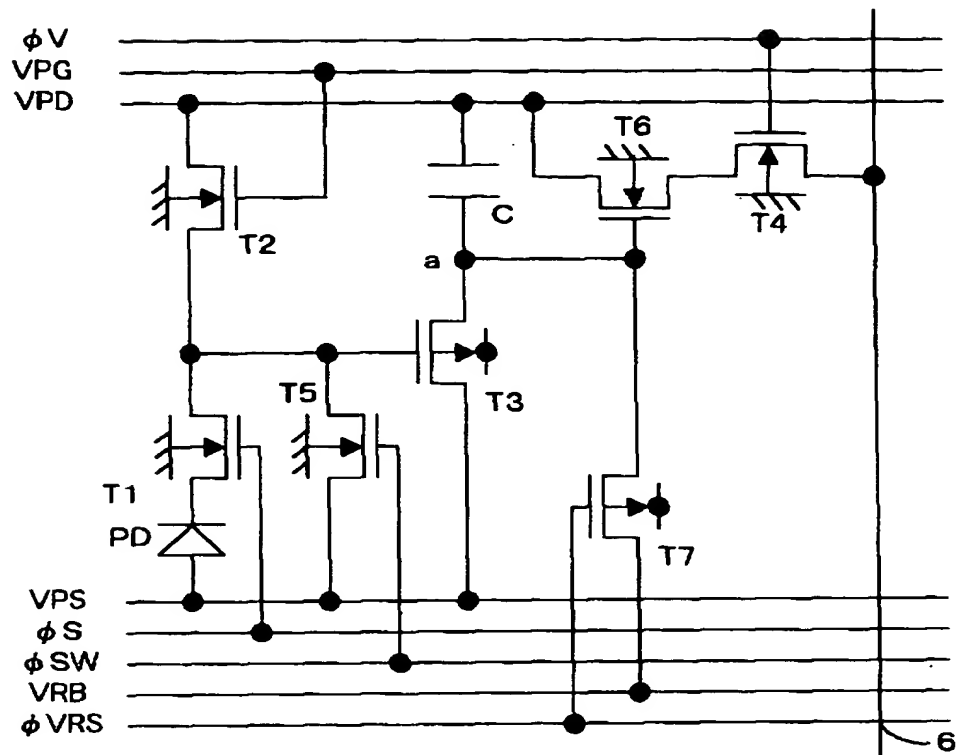
【図 15】



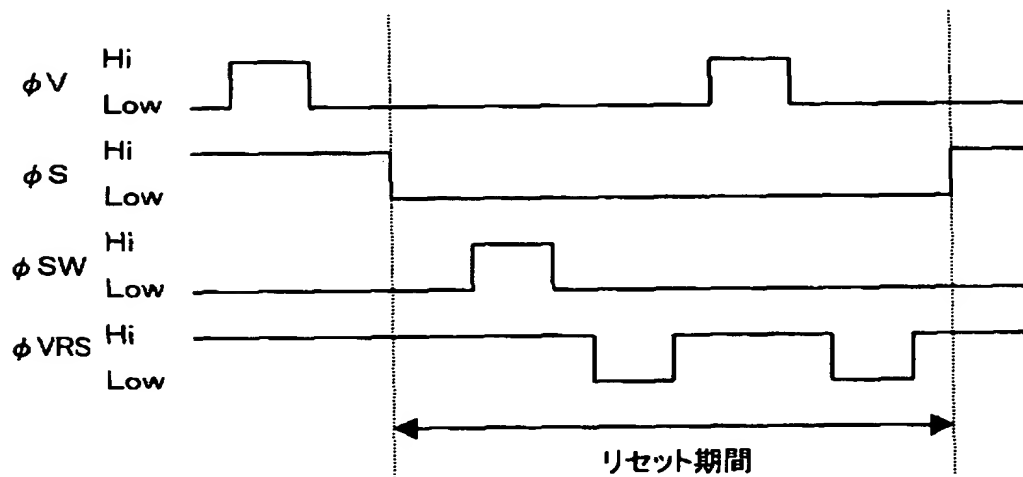
【図 16】



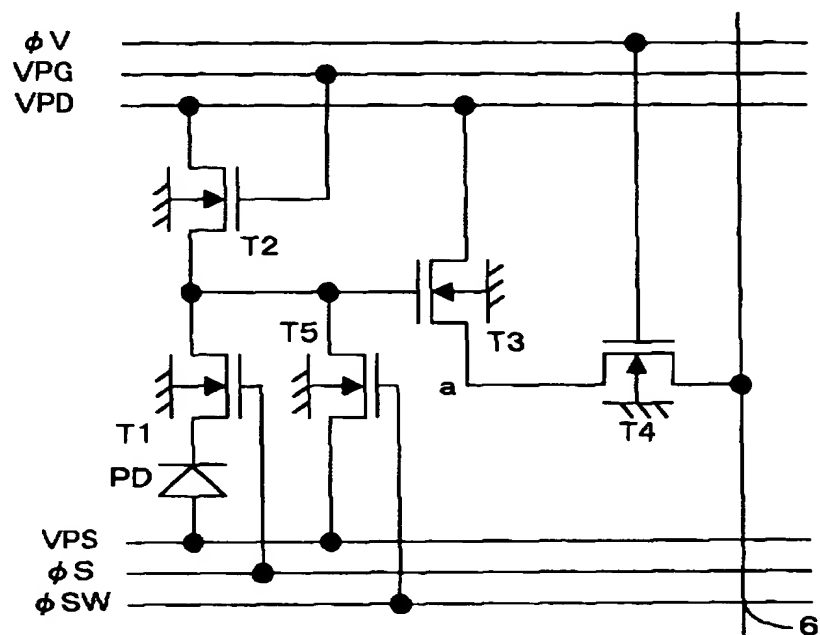
【図 17】



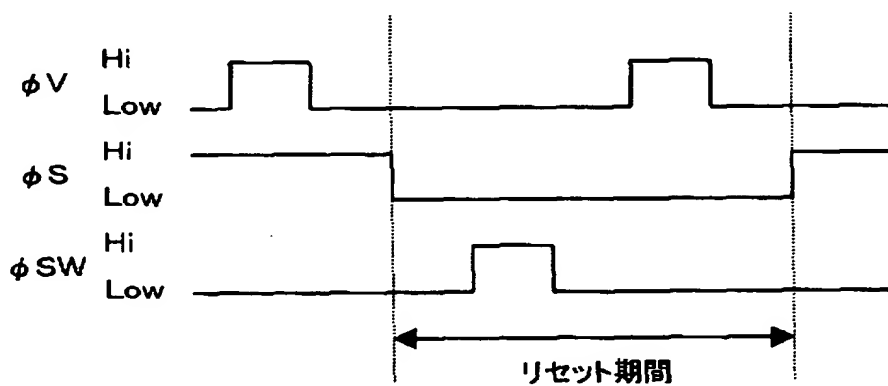
【図 18】



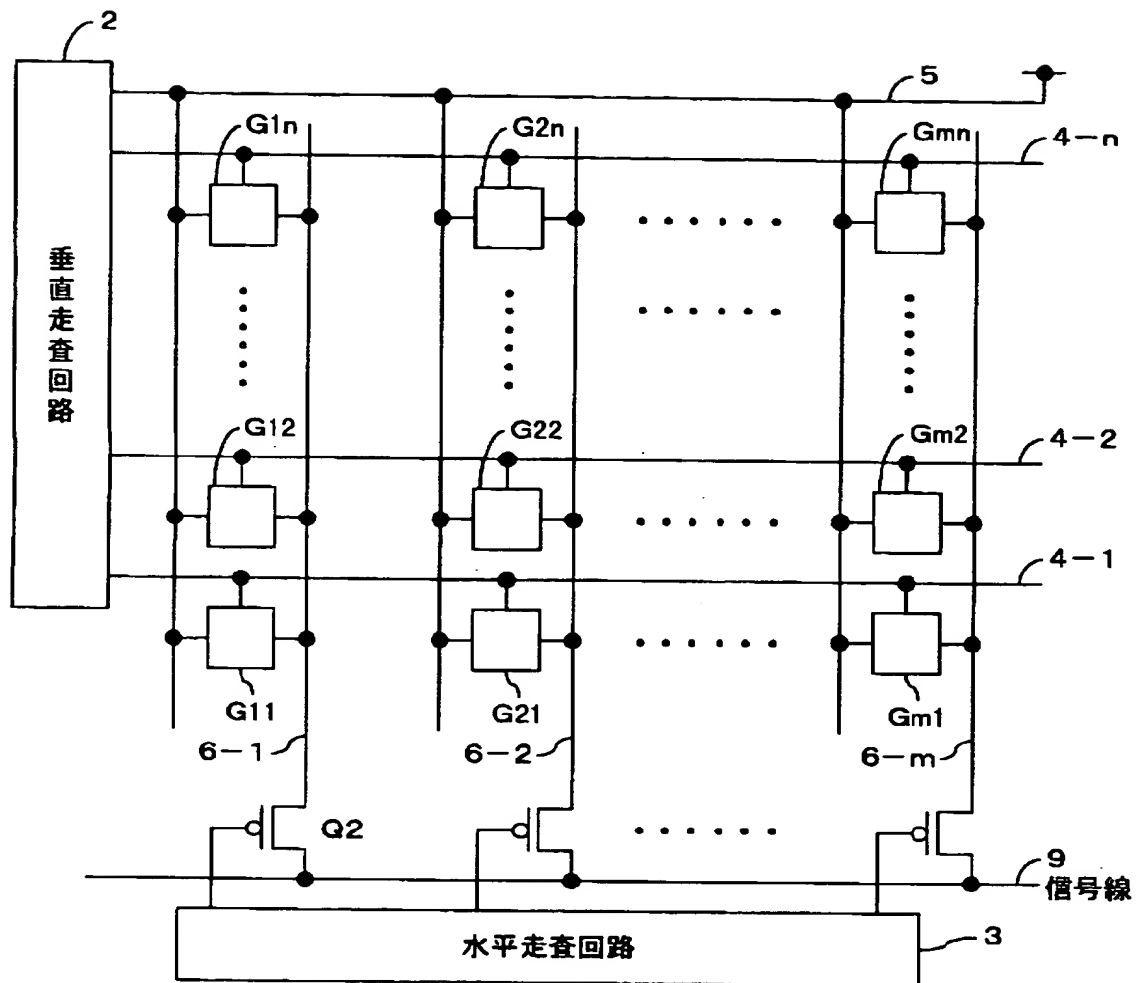
【図 19】



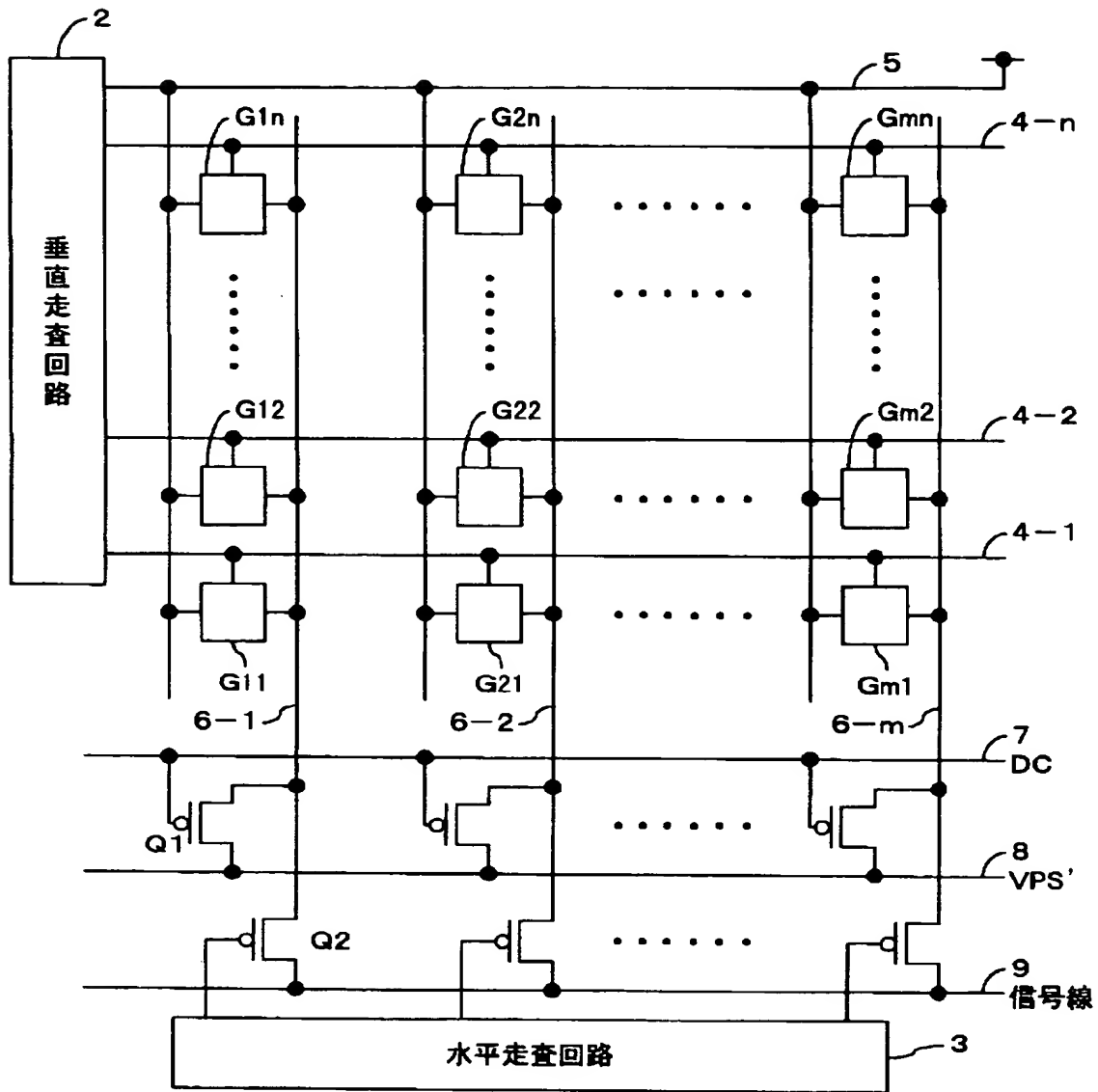
【図 20】



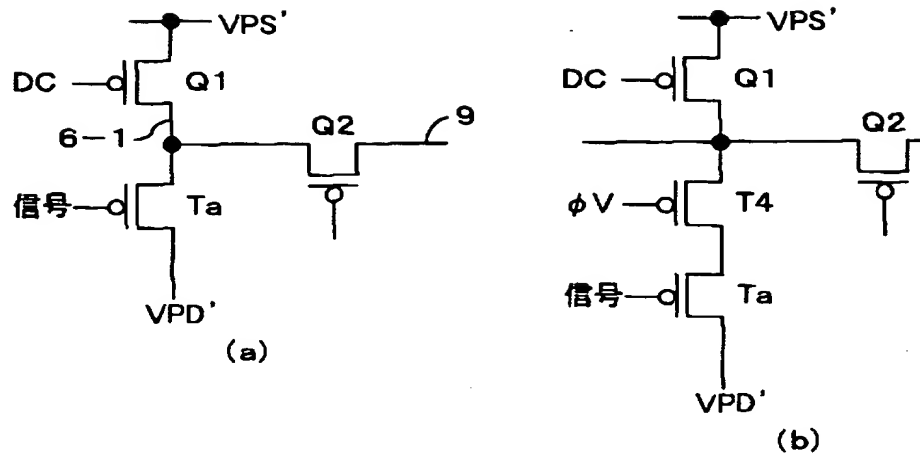
【図 21】



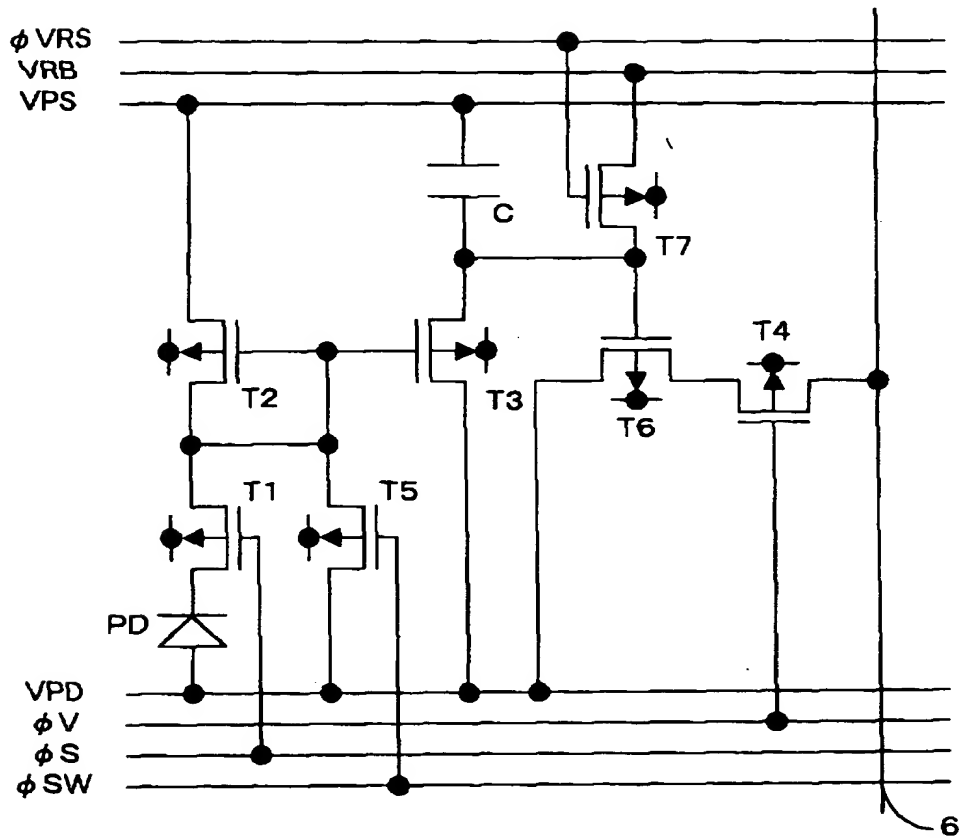
【図 23】



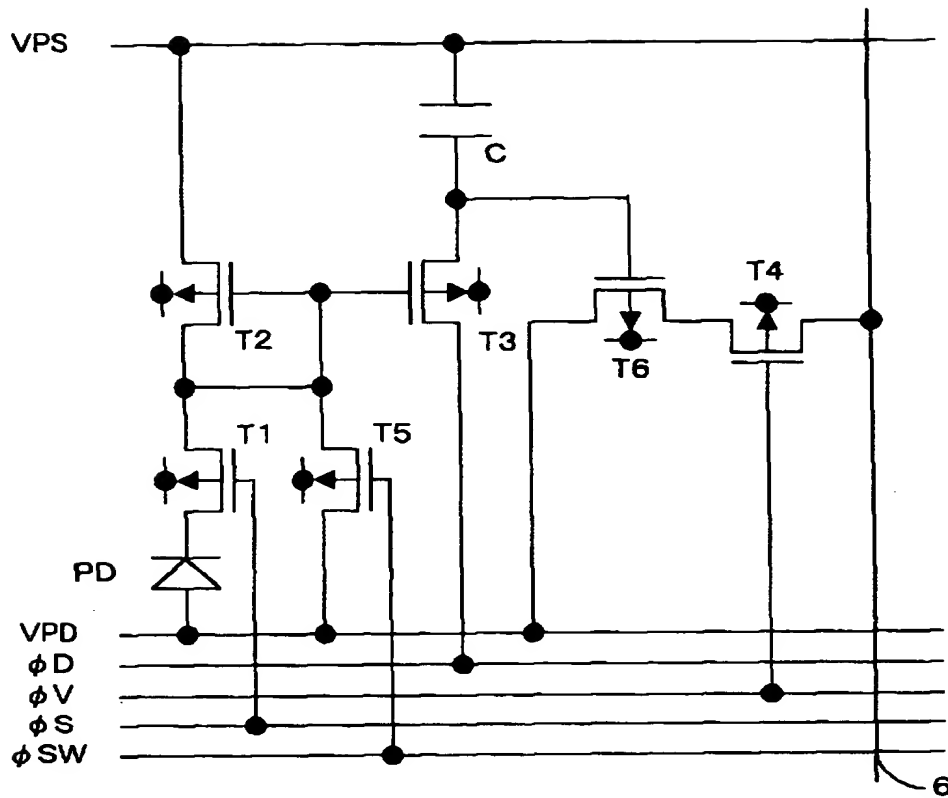
【図 24】



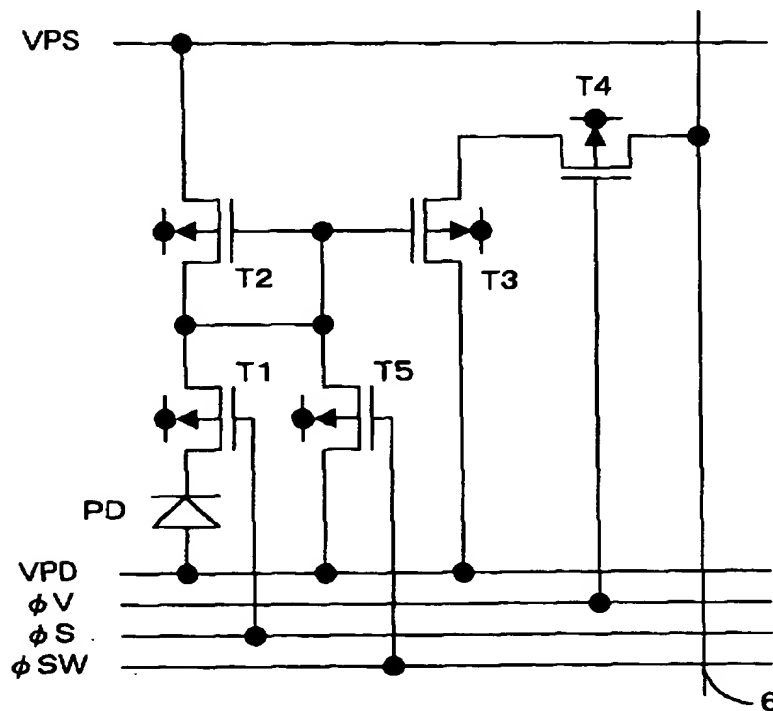
【図 25】



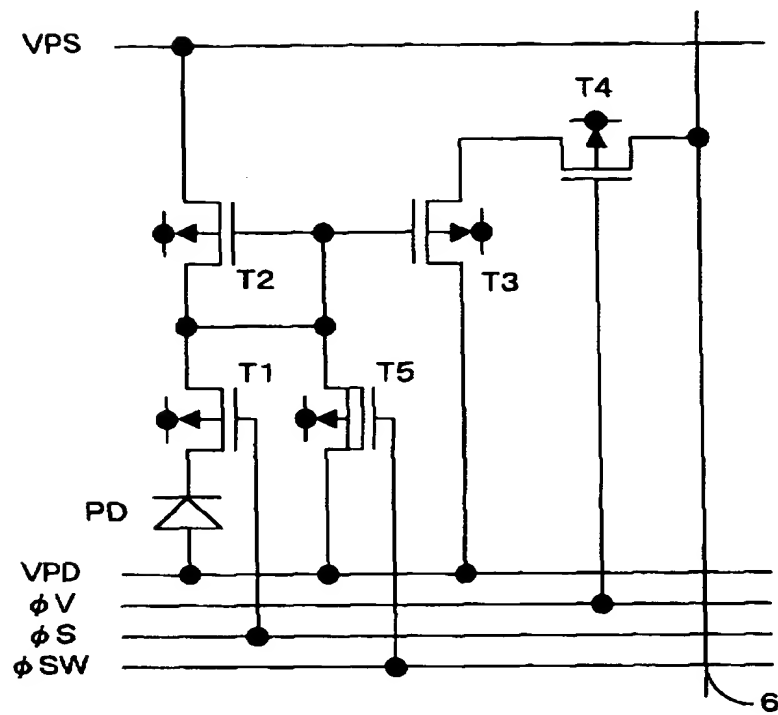
【図 26】



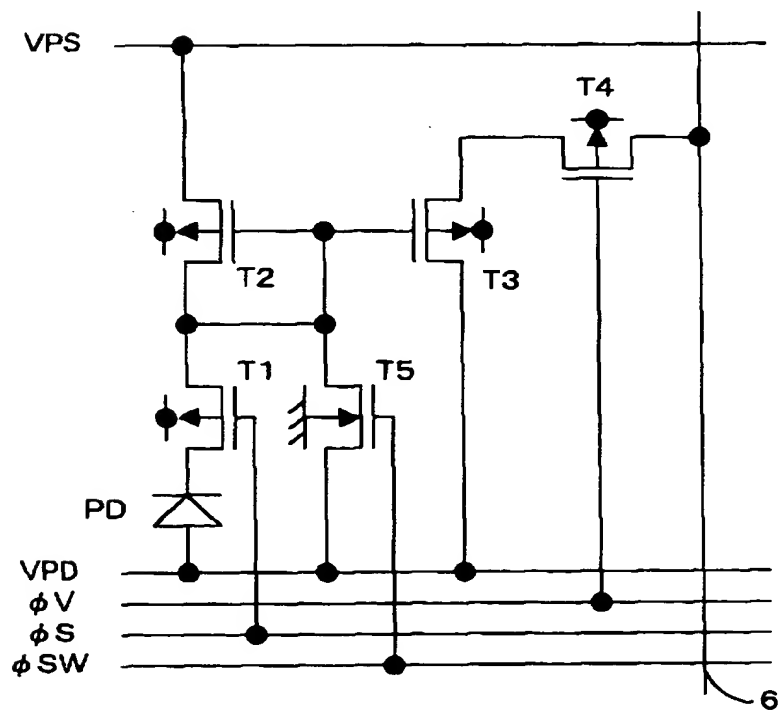
【図 27】



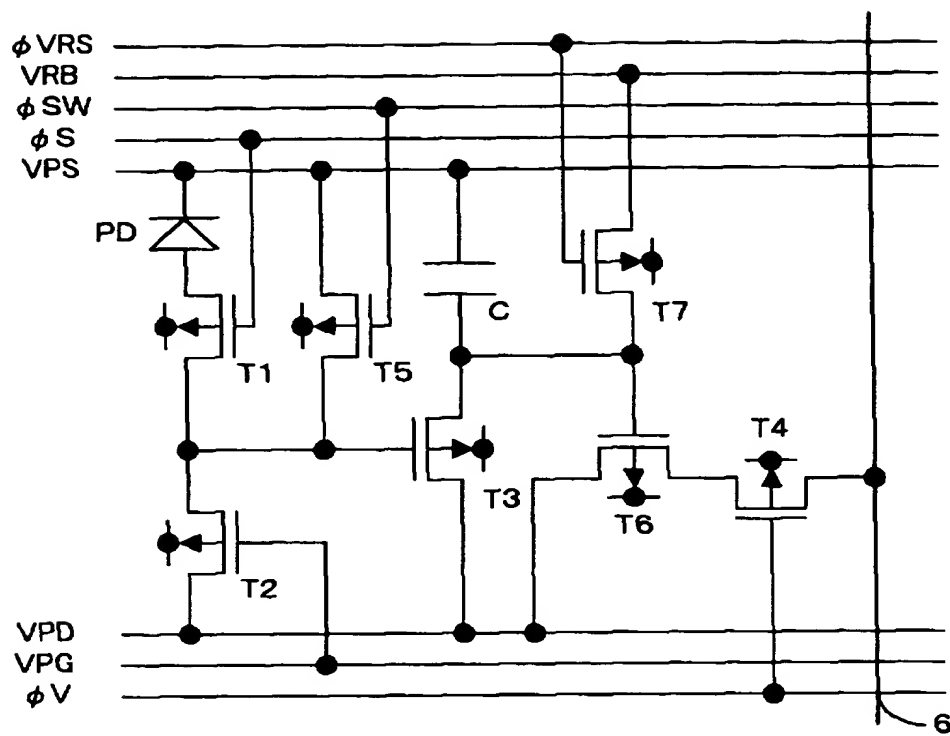
【圖 28】



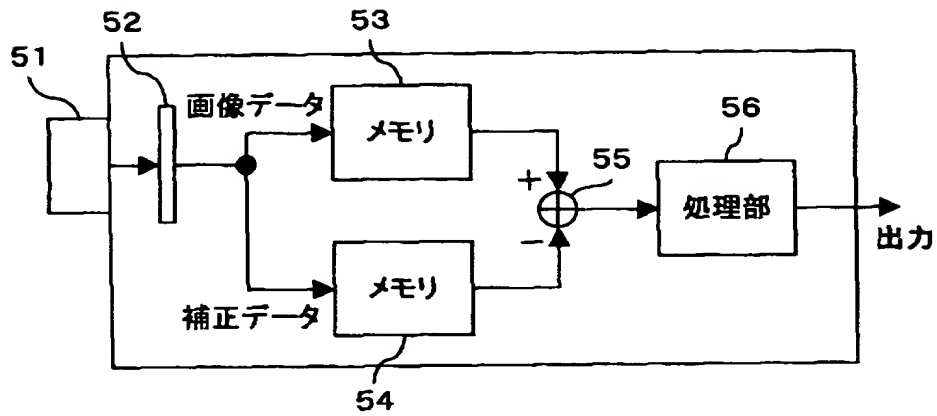
【図 29】



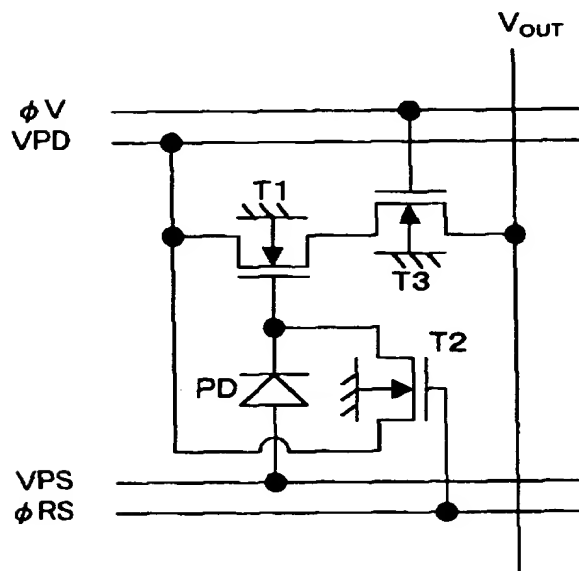
【図 3 0】



【図 3 3】



【図 3 4】



【書類名】 要約書

【要約】

【課題】本発明は、高輝度域から低輝度域までの幅広い輝度範囲の被写体を高精細に撮像することができるとともに、低輝度域でも各画素が高速に基の状態にリセットされる応答性の良い固体撮像装置を提供することを目的とする。

【解決手段】各画素が撮像動作を行う際、MOSトランジスタT1をONにするとともにMOSトランジスタT5をOFFにして、MOSトランジスタT2をサブスレッショルド領域で動作させる。各画素がリセット動作を行う際、MOSトランジスタT1をOFFにするとともにMOSトランジスタT5をONにしてMOSトランジスタT2のゲート及びドレインに一定電圧を与える。そして、MOSトランジスタT5をOFFにした後、接続ノードaの電圧を一旦リセットした後、パルス信号 ϕV をMOSトランジスタT4に与えて出力を得る。このとき得た出力を補正データとして使用することにより、各画素の感度のバラツキを抑制する。

【選択図】 図2

認定・付加情報

特許出願の番号	特願 2000-028879
受付番号	50005010161
書類名	特許願
担当官	宇留間 久雄 7277
作成日	平成12年 6月 9日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000006079
【住所又は居所】	大阪府大阪市中央区安土町二丁目3番13号 大阪国際ビル
【氏名又は名称】	ミノルタ株式会社

【代理人】

申請人

【識別番号】	100085501
【住所又は居所】	大阪府大阪市中央区天満橋京町2番6号 天満橋八千代ビル別館 佐野特許事務所
【氏名又は名称】	佐野 静夫

【代理人】

【識別番号】	100111811
【住所又は居所】	大阪府大阪市中央区天満橋京町2丁目6番 天満橋八千代ビル別館 佐野特許事務所
【氏名又は名称】	山田 茂樹

出 願 人 履 歴 情 報

識別番号 [000006079]

1. 変更年月日	1994年 7月20日
[変更理由]	名称変更
住 所	大阪府大阪市中央区安土町二丁目3番13号 大阪国際ビル
氏 名	ミノルタ株式会社